

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНА АКАДЕМІЯ НАУК УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
"ХАРКІВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ"
ОДЕСЬКА НАЦІОНАЛЬНА АКАДЕМІЯ
ЗВ'ЯЗКУ ІМ. О.С. ПОПОВА
ІНСТИТУТ КІБЕРНЕТИКИ ІМЕНІ В.М. ГЛУШКОВА**

**ПРОБЛЕМИ
ІНФОРМАТИКИ ТА МОДЕЛЮВАННЯ**

**ТЕЗИСИ П'ЯТНАДЦЯТОЇ МІЖНАРОДНОЇ
НАУКОВО-ТЕХНІЧНОЇ КОНФЕРЕНЦІЇ
(14 – 18 вересня 2015 року)**

Харків – Одеса

2015

УДК 621.387:681.327

Проблеми інформатики і моделювання. Тезиси п'ятнадцятої міжнародної науково-технічної конференції. – Харків: НТУ "ХПІ", 2015. – 124 с., російською мовою.

ОРГАНИЗАТОРЫ КОНФЕРЕНЦИИ:

- Министерство образования и науки Украины
- Национальная Академия наук Украины
- Институт проблем моделирования в энергетике им. Г.Е. Пухова НАНУ
- Национальный технический университет "ХПИ"
- Одесская национальная академия связи им. А.С. Попова
- Национальный аэрокосмический университет "ХАИ"
- Институт радиофизики и электроники НАНУ
- Харьковский университет Воздушных Сил им. Ивана Кожедуба
- Харьковский национальный университет радиоэлектроники
- Кировоградский национальный технический университет
- Национальный университет обороны, Киев
- Государственное предприятие "Центральный научно-исследовательский институт навигации и управления", Киев

ЗМЕНШЕННЯ ВИТРАТ АПАРАТУРИ ПРИ РЕАЛІЗАЦІЇ СХЕМИ АВТОМАТА МУРА НА ГІБРИДНИХ FPGA

к.т.н. С.О. Цололо, ДонНТУ, м. Красноармійськ

Модель автомата Мура часто використовується при реалізації схем пристрій керування [1]. В даний час ПЛІС типу FPGA є популярним базисом для реалізації цифрових систем [2]. Одним з напрямків розвитку технології FPGA є гібридні FPGA [3]. До складу подібних ПЛІС входять табличні елементи типу LUT і вбудовані програмовані логічні матриці PLA. Технологія гібридних FPGA вимагає адаптації методів синтезу автоматів, орієнтованих на базис FPGA. Відсутність вбудованих блоків пам'яті викликає необхідність реалізації системи мікрооперацій на елементах LUT. При належній кількості входів S_L

$$S_L \geq R \quad (1)$$

для реалізації кожної мікрооперації є достатнім тільки один елемент LUT. При цьому система функцій збудження пам'яті реалізується на вбудованих блоках PLA.

Запропонований метод заснований на використанні двох джерел класів псевдоеквівалентних станів. Це є можливим завдяки великому числу входів PLA – наприклад, в гібридних FPGA APEX20K фірми Altera цей параметр дорівнює 32.

Нехай для PLA, що входить до складу гібридної FPGA, виконуються наступні умови:

$$L + R + R_C \leq S, \quad (2)$$

$$H_0(\Gamma) \leq q, \quad (3)$$

де S – число входів, q – число термів блоку PLA. Застосування методу доцільно при виконанні умов (1), (2) і (3). При виконанні (1), (2) схема формування функцій збудження пам'яті реалізується на одному блоці PLA. При виконанні (1) блок мікрооперацій включає мінімальне число LUT елементів. Аналіз стандартних ГСА з бібліотеки [4] показав, що (1), (2) і (3) виконуються для 87% прикладів (для FPGA APEX 20K).

Таким чином, метод враховує особливості реалізації автомата Мура та елементного базису гібридних FPGA для зменшення витрат апаратури у схемі автомата. Це дозволяє зменшити вартість схеми автомата на гібридних FPGA у порівнянні з відомими аналогами.

Список літератури: 1. DeMicheli G. Synthesis and Optimization of Digital Circuits / G. DeMicheli. – McGraw-Hill, 1994. – 636 p. 2. Skliarova I. Design of FPGA-based circuits using Hierachical Finite State Machines / I. Skliarova, U. Sklyarov, A. Sudnitson. – Tallinn: TUT Press, 2012. – 240 p. 3. Kabiani A. The Hybrid Field Programmable Architecture / A. Kabiani, S. Brown // IEEE Design & Test of Computers. – 1999. – V. 16. – № 4. – P. 74-83. 4. Yang S. Logic Synthesis and optimization bench-marks user guide / S. Yang. – Microelectronics Center of North Carolina. – 1991. – 43 p.

Халимон А.Ю. Розв'язання задачі мінімізації сумарного зваженого запізнення виконання множини завдань одним приладом	105
Харламова Ю.Н. Анализ эффективности применения концепции симметрии при поиске глобального экстремума функции в задачах оптимизации	106
Харченко Є.С. Методи представлення медичних даних в діагностичній системі на основі нечіткої логіки	107
Цололо С.О. Зменшення витрат апаратури при реалізації схеми автомата Мура на гібридних FPGA	108
Чурюмов Г.И., Горюшкина А.Э. Анализ эффективности применения преобразования Хартли в фильтрации и передаче данных	109
Шабанов-Кушинаренко С.Ю., Тамер Кудхаир Абед Предикатная модель прототипов структурированных объектов	110
Швачич Г.Г., Ткач М.О. Моделювання режимів термічної обробки метала на основі використання багатопроцесорних обчислювальних систем	111
Швачич Г.Г., Щербина П.А., Волнянский В.В. Определения пиковой производительности графических интерфейсов	112
Штефан Е.В. Інформаційні технології проектування машин та апаратів харчових виробництв	113
Штефан Е.В., Блаженко С.І. Розроблення спеціалізованого програмного забезпечення для аналізу процесів механічного оброблення дисперсних матеріалів	114
Шумиляк Л.М., Жихаревич В.В. Дослідження умов виникнення концентраційного переохолодження за допомогою клітинно-автоматної моделі процесу зонної плавки матеріалу	115

НАУКОВЕ ВИДАННЯ

**ТЕЗИСИ П'ЯТНАДЦЯТОЇ МІЖНАРОДНОЇ
НАУКОВО-ТЕХНІЧНОЇ КОНФЕРЕНЦІЇ
"ПРОБЛЕМИ ІНФОРМАТИКИ ТА МОДЕЛЮВАННЯ"**

Відповідальний за випуск к.т.н. М.Й. Заполовський

Науковий редактор д.т.н. Дмитрієнко В.Д.
Технічний редактор д.т.н. Леонов С.Ю.

Підп. до друку 07.09.2015 р. Формат 60x84 1/16. Папір Copy Paper.
Гарнітура Таймс. Умов. друк. арк. 5,30.
Облік. вид. арк. 4,0. Наклад 120 прим.
Ціна договірна

НТУ "ХПІ", 61002, Харків, вул. Фрунзе, 21

Видавничий центр НТУ "ХПІ"
Свідоцтво ДК № 116 від 10.07.2000 р.

Отпечатано в типографии ООО «Цифра Принт»
на цифровом комплексе Xerox DocuTech 6135.
Свидетельство о Государственной регистрации А01 № 432705 от 3.08.2009 г.
Адрес: г. Харьков, ул. Данилевского, 30. Телефон : (057) 7861860.