

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ
ДОНЕЦКИЙ НАЦИОНАЛЬНЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

и задания к самостоятельной работе студентов по курсу
"Компьютерная схемотехника" для студентов специальностей "Компьютерные
системы и сети" и "Системное программирование" очной и заочной форм
обучения

Донецк ДНТУ 2007

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ
ДОНЕЦКИЙ НАЦИОНАЛЬНЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

и задания к самостоятельной работе студентов по курсу
"Компьютерная схемотехника" для студентов специальностей "Компьютерные
системы и сети" и "Системное программирование"
очной и заочной форм обучения

Утверждено
на заседании кафедры
Электронных вычислительных
машин.
Протокол № 1 от
31. 08. 2006 г.

Утверждено
на заседании учебно –
издательского совета ДНТУ
Протокол № 3 от 04. 10. 2006 г.

Донецк ДНТУ 2007

Методические указания и задания к самостоятельной работе студентов по курсу "Компьютерная схемотехника" для студентов специальностей "Компьютерные системы и сети" и "Системное программирование" очной и заочной форм обучения / Сост. В. В. Лапко, Ю.В. Губарь. – Донецк: Издательство ДНТУ, 2007. - 110 с.

Учебное пособие содержит индивидуальные задания по схемотехнике цифровых устройств и методические указания по их выполнению. Задания посвящены вопросам анализа, синтеза и контроля схем операционных и управляющих блоков ЦВМ (сумматоров, вычитателей, регистров, счетчиков, комбинационных схем), а также разработке алгоритмов и функциональных схем блоков контроля операций суммирования и вычитания двоичных операндов в прямом, обратном и дополнительном кодах, и кодах с "положительным или отрицательным нулем".

Составители:

доц. Лапко В.В.,
доц. Губарь Ю.В.

Ответственный
за выпуск

проф. Святный В.А.

Рецензент

проф. Аверин Г. В.

Авторы выражают благодарность студентам Томах Д. В. (гр. КС – 03а), Егорину А. П. (гр. СП – 03б), Иванице С. В., Бородулину О. А., Капацине А. Н. (гр. КС – 01з) за участие в оформлении и обсуждении материалов методических указаний.

ПЕРЕЧЕНЬ ОСНОВНЫХ СОКРАЩЕНИЙ

КЛС - комбинационная логическая схема.

ЛЭ - логический элемент.

ФС - функциональная схема.

СХСВ - схема свертки контрольного кода по модулю (три или семь).

SM - сумматор.

SUB - вычитатель.

HS - полусумматор.

HSUB - полувычитатель.

INC - инкрементор.

DEC - декрементор.

СВУ - специализированное вычислительное устройство.

ПП - сигнал переполнения.

ПК - прямой код.

ДК - дополнительный код.

ОК - обратный код.

ОА - операционный автомат.

УА - управляющий автомат.

ГСУА - граф – схема управляющего автомата.

УГО - условное графическое обозначение.

ФФВ - формирователь функций возбуждений.

ДС - дешифратор.

ФВС - формирователь выходных сигналов.

ПН - изображение кода с “положительным нулем”.

ОН - изображение кода с “отрицательным нулем”.

ЗАДАНИЕ 1 **РАЗРАБОТКА СХЕМОТЕХНИКИ КОМБИНАЦИОННЫХ** **ЛОГИЧЕСКИХ СХЕМ (КЛС)**

Цель работы: изучить и освоить методы и способы синтеза (состава и схемотехники) КЛС в заданном базисе с учетом ограничений количества входов логических элементов (ЛЭ).

Порядок выполнения работы

1. Ознакомиться с приложением 1.
2. Получить у преподавателя номер задания N.
3. В соответствии с номером N по таблицам 1 выбрать вариант индивидуального задания по всем разделам задания.
4. Составить функциональную схему (ФС) всех семи разрабатываемых блоков с указанием идентификаторов входных и выходных сигналов каждого блока.
5. Выполнить минимизацию в заданном базисе разрабатываемых КЛС.
6. Разработать рисунки заданных КЛС (в заданном базисе) с указанием идентификаторов выходных сигналов всех ЛЭ КЛС.
7. Проставить на ФС КЛС (в заданном базисе) состояние выходных сигналов всех ЛЭ схемы при выбранной комбинации сигналов на входе.

1.1. Синтез схем свертки (СХСВ)

Таблица 1СВ

Вариант = (N) _{m12}	0	1	2	3	4	5	6	7	8	9	10	11
СХСВ1	+	-	-	-	-	-	-	-	-	-	-	-
СХСВ2	-	+	-	+	+	+	+	-	-	-	-	-
СХСВ3	-	-	+	+	-	-	-	+	+	+	-	-
СХСВ4	-	-	+	-	+	-	-	+	-	-	+	-
СХСВ5	-	+	-	-	-	+	-	-	+	-	+	+
СХСВ6	+	-	-	-	-	-	+	-	-	+	-	+

1.2 Синтез одноразрядного сумматора (SM) или вычитателя (SUB)

Таблица 1S

Вариант = (N) _{m4}		Тип схемы	
		SM	SUB
Способ реализации	Канонический	0	1
	Минимальный	2	3

1.3 Синтез инкремента INC (3 – 0) или декремента DEC (3 – 0)

Таблица 1ID

Вариант = (N) _{m4}		Тип схемы	
		INC	DEC
Способ реализации	Минимальная КЛС	0	1
	на HS	2	-
	на HSUB	-	3

1.4 Синтез "минимальной" КЛС СВУ ПК

Таблица 1СВУ

Вариант = (N) _{m2}	0	1
Название КЛС	DM	NF

1.5 Синтез "минимальных" схем фиксации переполнения (ПП) в заданных сумматорах

Таблица 1ПП

Вариант = (N) _{m12}		Тип сумматора			
		SM _{ДК}	SM _{ОК}	SM _{ПН}	SM _{ОН}
Тип схемы фиксации переполнения	Пол ПП	0	1	2	3
	Отр ПП	4	5	6	7
	ПП	8	9	10	11

1.6 Синтез схем преобразования кодов (ПРК)

Таблица 1ПРК

Вариант = (N) _{m20}		Выходной код ПРК				
		ПК	ДК	ОК	ПН	ОН
Входной код ПРК	ПК	-	0	1	2	3
	ДК	4	-	5	6	7
	ОК	8	9	-	10	11
	ПН	12	13	14	-	15
	ОН	16	17	18	19	-

1.7 Разработать блок контроля по mod3 для СВУ

Таблица 1К

Вариант = (N) _{m30}		Тип СВУ				
		+, - модулей	+, - ДК	+, - ОК	+, - ПН	+, - ОН
Тип СХСВ в СВУ	СХСВ1	0	1	2	3	4
	СХСВ2	5	6	7	8	9
	СХСВ3	10	11	12	13	14
	СХСВ4	15	16	17	18	19
	СХСВ5	20	21	22	23	24
	СХСВ6	25	26	27	28	29
Число разрядов в регистрах операндов		5	6	7	8	9

Таблица 1ЛЭ

Вариант = (N) _{m7}	0	1	2	3	4	5	6
ЛЭ	ЛН1, ЛА3	ЛН1, ЛП1	ЛН1, ЛЕ3	ЛН1, ЛА1	ЛН1, ЛА3	ЛН1, ЛА4	ЛН1, ЛР1

ЗАДАНИЕ 2 РАЗРАБОТКА СХЕМОТЕХНИКИ И РАСЧЕТ ПАРАМЕТРОВ СИНХРОНИЗАЦИИ ОПЕРАЦИОННОГО АВТОМАТА (ОА) И УПРАВЛЯЮЩЕГО АВТОМАТА (УА) БЛОКА ОБРАБОТКИ ДАННЫХ

Цель работы: изучить и освоить методы и способы расчета синхронизации ОА и УА как совокупности совместно и согласованно работающих автоматов.

Порядок выполнения работы

1. Ознакомиться с приложением 2.
2. В соответствии с фамилией, именем и отчеством определить коды K_0, K_1, \dots (табл. 2К) и получить у преподавателя номер задания N.
3. Определить X_1 и X_2 (табл. 2Х).
4. Выбрать тип триггера и комбинационные логические элементы (КЛЭ) для реализации ОА и УА (табл. 2ЛЭ).
5. Выбрать способ синхронизации ОА и УА (табл. 2СИ).
6. На основе регистра сдвига и счетчиков разработать ФС ОА для вычисления $KX1$ и $KX2$ - количества триад X_1 и X_2 в произвольном двоичном коде, который набирается до начала операции в 30 – ти разрядном тумблерном регистре констант ТРК (приложение 2, рис. 2.1). В схеме необходимо сформировать также модуль разности $\Delta K = |KX1 - KX2|$ и знак разности ($KX1 - KX2$). В регистре флагов ОА установить признаки: $QF12$ и $QF21$ ($QF12 = 1, QF21 = 0$ при $KX1 > KX2$; $QF21 = 1, QF12 = 0$ при $KX2 > KX2$; $QF12 = QF21 = 1$ при $KX1 = KX2$).

7. Разработать ГСУА (граф – схему управляющего автомата) для управления операциями анализа ТРК в ОА с учетом заданного способа синхронизации (табл. 2СИ).

8. Выполнить синтез операционных элементов (ОЭ) ОА и УА блока обработки данных (табл. 2ЛЭ).

9. Рассчитать длительность такта ОА и УА, максимальное и минимальное время выполнения операции анализа содержимого ТРК.

10. Разработать предложения по повышению быстродействия разработанного блока анализа содержимого ТРК.

Таблица 2К

Способ выбора коэффициентов K_i									
ФИО	И	в	а	н	о	в	П	е	т
ФИО ₂	0	1	0	1	1	0	1	0	1
i	0	1	2	3	4	5	6	7	8

Таблица 2Х

Выбор искомых триад $X1$ и $X2$
$X1 (xxx) = \text{ФИО}_2 (i)$, где $i = (N)_{m9}$, N - номер задания, i - номер триады
$X2 = \overline{X1}$

Таблица 2СИ

Выбор способа синхронизации ОА и УА		
Вариант	0	1
Способ синхронизации	Однофазная	Двухфазная
Вариант = $(N)_{m2}$		

Таблица 2ЛЭ

Выбор типа триггера и ЛЭ КЛС (ОА и УА)				
Вариант = $(N)_{m2}$	0	1	2	3
Тип элементов памяти	K155ТМ2, K155ИЕ7	K155ТВ1, K155ИЕ7	K155ТМ5, K155ИЕ7	K155ИР1, K155ИЕ7
Тип ЛЭ в КЛС ОА и УА	K155КП5, K155ЛА3, K155ЛН1	K155КП5, K155ЛА1, K155ЛН1	K155КП5, K155ЛЕ3, K155ЛН1	K155КП5, K155ЛР1, K155ЛН1

1. РАЗРАБОТКА СХЕМОТЕХНИКИ КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ СХЕМ (КЛС) В ЗАДАННОМ БАЗИСЕ

1.1. Синтез КЛС в базисе 2ИЛИ – НЕ

Пусть синтезируемая КЛС описывается таблицей истинности (табл. 1.1)

Таблица 1.1

X1	X2	X3	X4	Y
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1
*	*	*	*	*

Для синтеза КЛС в базисе ИЛИ – НЕ построим минимальную КНФ функции Y, используя карту Карно (табл. 1.2).

X1X2 \ X3X4		Таблица 1.2			
		00	01	11	10
00	0	*	*	1	
01	1	*	0	*	
11	*	0	1	*	
10	1	*	0	*	

Из табл. 1.2 имеем

$$Y = (X1 + X2 + X3)(X3 + \overline{X4})(X2 + \overline{X4})(X1 + \overline{X4}). \quad (1.1)$$

Пусть

$$Y1 = (X1 + X2 + X3)(X3 + \overline{X4})(X2 + \overline{X4}). \quad (1.2)$$

Тогда

$$Y = Y1(X1 + \overline{X4}) = \overline{\overline{Y1 + X1 + X4}}. \quad (1.3)$$

Следовательно, для Y имеем КЛС

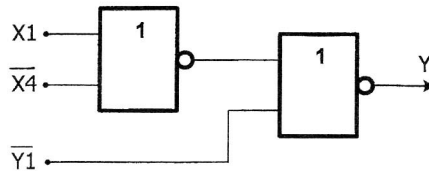


Рис. 1.1. - КЛС функции Y в базисе 2ИЛИ - НЕ

Для реализации $Y1$ запишем (1.2) в виде

$$Y1 = Y2 \cdot (X2 + \overline{X4}), \quad (1.4)$$

где

$$Y2 = (X1 + X2 + X3) \cdot (X3 + \overline{X4}). \quad (1.5)$$

Для реализации (1.3) необходимо построить схему для $\overline{Y1}$. Поэтому построим минимальную КНФ $\overline{Y1}$, используя карту Карно (табл. 1.3)

Таблица 1.3

		$X2X4$			
$Y2$		0 0	0 1	1 1	1 0
		0	0	0	0
1		1	0	1	1

$Y1$

Согласно табл. 1.3 получаем

$$\overline{Y1} = (\overline{Y2} + X4) \cdot (\overline{Y2} + \overline{X2}). \quad (1.6)$$

Для реализации (1.6) в базисе 2ИЛИ – НЕ представим $\overline{Y1}$ в виде

$$\overline{Y1} = \overline{(\overline{Y2} + X4)} + \overline{(\overline{Y2} + \overline{X2})}. \quad (1.7)$$

Следовательно, КЛС функции $\overline{Y1}$ будет иметь вид

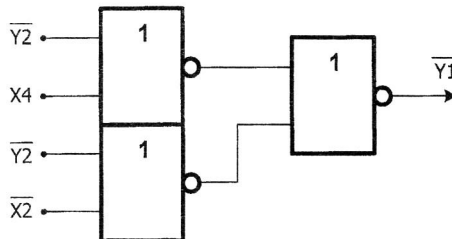


Рис. 1.2. - КЛС функции $\overline{Y1}$ в базисе 2ИЛИ – НЕ

Для реализации $\overline{Y_2}$ построим карту Карно для (1.5).

		X3X4				
		00	01	11	10	
X1X2	00	0	0	1	1	Y2
	01	1	0	1	1	
	11	1	0	1	1	
	10	1	0	1	1	

В соответствии с табл. 1.4 минимальная КНФ для $\overline{Y_2}$ имеет вид

$$\overline{Y_2} = \overline{X_3} \cdot (\overline{X_2} + X_4) \cdot (\overline{X_1} + X_4). \quad (1.8)$$

С целью реализации функции $\overline{Y_2}$ в базисе 2ИЛИ – НЕ представим (1.8) в виде

$$\overline{Y_2} = Y_3 \cdot (\overline{X_1} + X_4), \quad (1.9)$$

$$\text{где } Y_3 = \overline{X_3} \cdot (\overline{X_2} + X_4). \quad (1.10)$$

Тогда для (1.9) получим

$$\overline{Y_2} = \overline{\overline{Y_3} + (\overline{X_1} + X_4)}. \quad (1.11)$$

В базисе 2ИЛИ – НЕ (1.11) имеет вид, показанный на рис. 1.3.

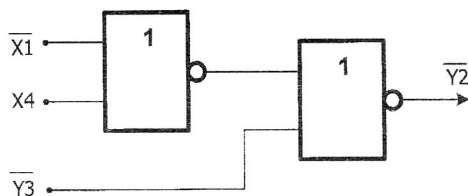


Рис. 1.3 - КЛС функции $\overline{Y_2}$ в базисе 2ИЛИ – НЕ.

С целью реализации КЛС $\overline{Y_3}$ построим карту Карно (1.10)

		X2X4				
		00	01	11	10	
X3	0	1	1	1	0	Y3
	1	0	0	0	0	

Тогда для минимальной КНФ $\overline{Y_3}$ получим

$$\overline{Y_3} = (X_3 + X_2) \cdot (X_3 + \overline{X_4}). \quad (1.12)$$

В базисе 2ИЛИ – НЕ выражение будет иметь вид

$$\overline{Y_3} = \overline{(X_3 + X_2)} + \overline{(X_3 + \overline{X_4})}. \quad (1.13)$$

КЛС $\overline{Y_3}$ показана на рис. 1.4

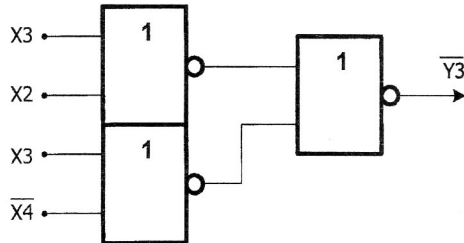


Рис. 1.4 - КЛС функции $\overline{Y_3}$

1.2. Синтез КЛС в базисе 2И – НЕ

Для реализации схемы представим минимальную форму функции Y (табл. 1.1) в ДНФ. Очевидно, (табл. 1.2) минимальная ДНФ функции Y имеет вид

$$Y = X_1 \cdot \overline{X_4} + X_2 \cdot \overline{X_4} + X_3 \cdot \overline{X_4} + X_1 \cdot X_2 \cdot X_3 \quad (1.14)$$

Для реализации заданной КЛС представим Y в виде

$$Y = X_1 \cdot \overline{X_4} + Z_1, \quad (1.15)$$

где $Z_1 = X_2 \cdot \overline{X_4} + X_3 \cdot \overline{X_4} + X_1 \cdot X_2 \cdot X_3. \quad (1.16)$

В базисе 2И – НЕ (1.15) имеет вид

$$Y = \overline{\overline{X_1 X_4} \cdot \overline{Z_1}}. \quad (1.17)$$

В соответствии с (1.17) для Y получаем КЛС, показанную на рис. 1.5.

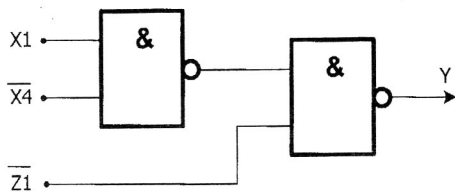


Рис. 1.5. - КЛС функции Y в базе 2И – НЕ

С целью реализации $\overline{Z1}$ представим карту Карно $Z1$ (табл. 1.6)

Таблица 1.6

X3X4	00	01	11	10
X1X2	0	0	0	1
01	0	0	0	1
11	0	0	0	1
10	0	0	0	1

$Z1$

Откуда для минимальной ДНФ $\overline{Z1}$ получим

$$\overline{Z1} = \overline{X3} + \overline{X1} \cdot X4 + \overline{X2} \cdot X4 \quad (1.18)$$

Представим $\overline{Z1}$ в виде

$$\overline{Z1} = Z2 + \overline{X2} \cdot X4. \quad (1.19)$$

где $Z2 = \overline{X3} + \overline{X1} \cdot X4. \quad (1.20)$

Для $\overline{Z1}$ согласно (1.19) в базе 2И – НЕ получим

$$\overline{Z1} = \overline{\overline{Z2} \cdot \overline{\overline{X2} \cdot X4}}. \quad (1.21)$$

КЛС $\overline{Z1}$ показана на рис. 1.6

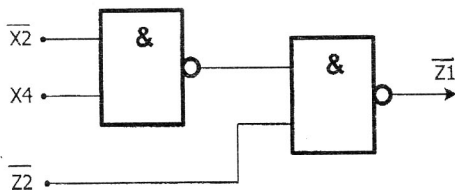


Рис. 1.6 - КЛС функции $\overline{Z1}$

Для реализации $\overline{Z2}$ составим карту Карно функции Z2 (табл. 1.7)

Таблица 1.7

X1X4		0 0	0 1	1 1	1 0
X3	0	1	1	1	1
	1	0	1	0	0

Z2

Откуда минимальная форма ДНФ $\overline{Z2}$ будет иметь вид

$$\overline{Z2} = X3 \overline{X4} + X3 X1. \quad (1.22)$$

В базисе 2И – НЕ получим

$$\overline{Z2} = \overline{\overline{X3} \overline{X4}} \overline{\overline{X3} X1}. \quad (1.23)$$

КЛС (1.23) показана на рис. 1.7

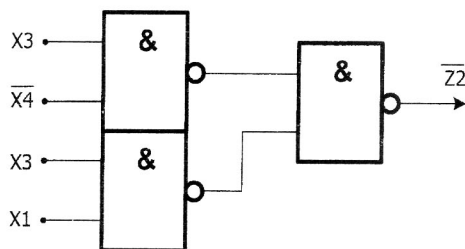


Рис. 1.7 - КЛС функции $\overline{Z2}$ в базисе 2И – НЕ

1.1. Синтез КЛС в базисе 2И – 2ИЛИ – НЕ

Для реализации Y в базисе 2И – 2ИЛИ – НЕ построим минимальную ДНФ \overline{Y} (табл. 1.8).

Таблица 1.8

X3X4		0 0	0 1	1 1	1 0
X1X2	00	0	*	*	1
	01	1	*	0	*
	11	*	0	1	*
	10	1	*	0	*

Y

$$\overline{Y} = \overline{X1} X4 + \overline{X1} \overline{X2} \overline{X3} + \overline{X3} X4 + \overline{X2} X4. \quad (1.24)$$

Далее преобразуем (1.24) к виду

$$\bar{Y} = X_4 (\bar{X}_1 + \bar{X}_2) + \bar{X}_3 (X_4 + \bar{X}_1 \bar{X}_2).$$

Откуда получим

$$\bar{Y} = X_4 F_1 + \bar{X}_3 F_2, \quad (1.25)$$

$$\text{где} \quad F_1 = \bar{X}_1 + \bar{X}_2; \quad (1.26)$$

$$F_2 = X_4 + \bar{X}_1 \bar{X}_2. \quad (1.27)$$

В базисе 2И-2ИЛИ-НЕ для \bar{Y} получим

$$\bar{Y} = \overline{X_4 F_1 + \bar{X}_3 F_2}. \quad (1.28)$$

Для реализации в базисе И-ИЛИ-НЕ представим F_1 и F_2 в виде:

$$F_1 = \overline{X_1 X_2}. \quad (1.29)$$

$$\begin{aligned} F_2 = X_4 + \bar{X}_1 \bar{X}_2 &= (X_4 + \bar{X}_1)(X_4 + \bar{X}_2) = \\ &= \overline{\overline{(X_4 + \bar{X}_1)(X_4 + \bar{X}_2)}} = \overline{\bar{X}_4 X_1 + \bar{X}_4 X_2}. \end{aligned} \quad (1.30)$$

Тогда в соответствии с (1.28), (1.29) и (1.30) для функций F_1 , \bar{Y} и F_2 КЛС в базисе 2И-2ИЛИ-НЕ будет иметь вид, показанный на рис. 1.8.

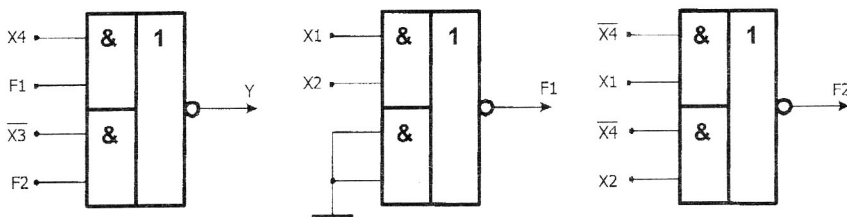


Рис. 1.8 - КЛС функции \bar{Y} в базисе 2И-2ИЛИ-НЕ

1.4 Схемы свертки (СХСВ) по модулю три (mod 3)

1.4, а. Параллельная СХСВ с позиционным кодом представления остатка (СХСВ1)

Функциональная схема (ФС) параллельной СХСВ1 для одного байта показана на рис. 1.9.

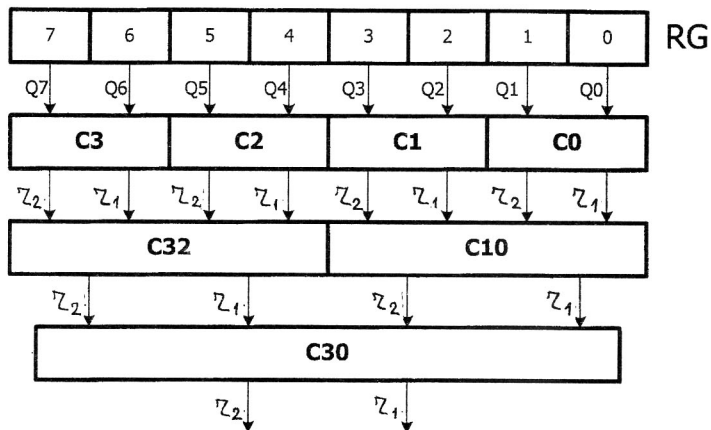


Рис. 1.9. - ФС параллельной СХСВ с позиционным кодом остатка (C3, C2, C1, C0 - СХСВ четверичных цифр регистра RG; C32, C10, C30 - СХСВ остатков $r_2 r_1$ по mod 3 с позиционным кодом представления остатка).

Алгоритм преобразования четверичных цифр в остаток по mod 3 описывается таблицей истинности 1.9 (схемы C3 – C0).

Таблица 1.9

Q_{i+1}	Q_i	r_2	r_1
0	0	1	1
0	1	0	1
1	0	1	0
1	1	1	1

Алгоритм работы схем свертки C32, C10 и C30 (рис. 1.9) описывается табл. 1.10.

Таблица 1.10

Первый вход		Второй вход		Выход	
r_2	r_1	r_2	r_1	r_2	r_1
X4	X3	X2	X1	r_2	r_1
1	1	1	1	1	1
0	1	1	1	0	1
1	0	1	1	1	0
1	1	0	1	0	1
0	1	0	1	1	0
1	0	0	1	1	1
1	1	1	0	1	0
0	1	1	0	1	1
1	0	1	0	0	1
*	*	*	*	*	*

1.4, б. Параллельная пирамидальная СХСВ с унитарным кодом представления остатка (СХСВ2)

Функциональная схема СХСВ2 с унитарным кодом представления остатка для одного байта показана на рис. 1.10.

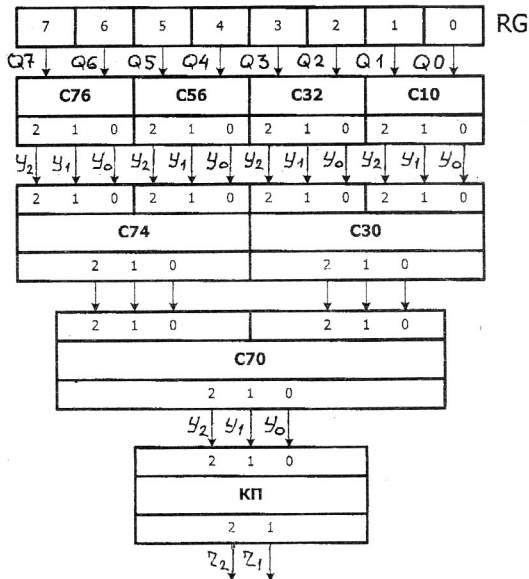


Рис. 1.10 - ФС пирамидальной СХСВ2 с унитарным представлением остатка по mod 3

Алгоритм преобразования четверичных цифр (Q_{i+1} , Q_i) в унитарный код представления остатка (y_2 , y_1 , y_0) показан в табл. 1.11 (схемы С76, С56, С32, С10 - на рис. 1.10).

Таблица 1.11

Q_{i+1}	Q_i	y_2	y_1	y_0
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

Алгоритм СХСВ2 остатков с унитарным кодом (схемы С74, С30 - на рис. 1.10) приведен в табл. 1.12.

Таблица 1.12

Первый вход			Второй вход			Выход		
y_2	y_1	y_0	y_2	y_1	y_0	y_2	y_1	y_0
X6	X5	X4	X3	X2	X1			
1	0	0	1	0	0	0	1	0
1	0	0	0	1	0	0	0	1
1	0	0	0	0	1	1	0	0
0	1	0	1	0	0	0	0	1
0	1	0	0	1	0	1	0	0
0	1	0	0	0	1	0	1	0
0	0	1	1	0	0	0	0	1
0	0	1	0	1	0	1	0	0
0	0	1	0	0	1	0	0	1
*	*	*	*	*	*	*	*	*

Алгоритм преобразования унитарного кода остатка (y_2 , y_1 , y_0) в позиционный код остатка (r_2 , r_1) (КП на рис. 1.10) приведен в табл. 1.13 (алгоритм работы кодового преобразователя КП).

Таблица 1.13

y_2	y_1	y_0	r_2	r_1
0	0	1	1	1
0	1	0	0	1
1	0	0	1	0
*	*	*	*	*

1.4.в. Последовательная схема свертки с позиционным кодом представления остатка (СХСВ3)

Функциональная схема последовательной СХСВ3 с позиционным кодом представления остатка показана на рис. 1.11.

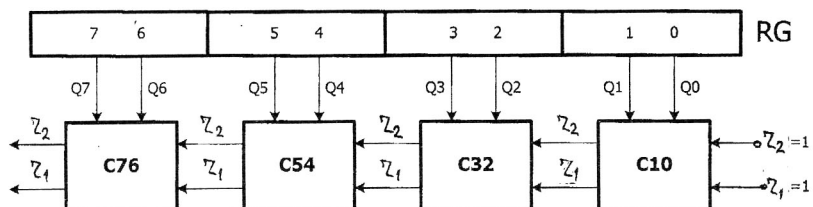


Рис. 1.11 - ФС последовательной СХСВЗ с позиционным кодом остатка

Алгоритм преобразования СХСВЗ приведен в табл. 1.14.

Таблица 1.14

Вход 1		Вход 2		Выход	
Q3	Q2	r ₂	r ₁	r ₂	r ₁
X4	X3	X2	X1		
0	0	1	1	1	1
0	1	1	1	0	1
1	0	1	1	1	0
1	1	1	1	1	1
0	0	1	0	1	0
0	1	1	0	1	1
1	0	1	0	0	1
1	1	1	0	1	0
0	0	0	1	0	1
0	1	0	1	1	0
1	0	0	1	1	1
1	1	0	1	0	1
*	*	*	*	*	*

1.4.г. Последовательная схема свертки по mod 3 с унитарным кодированием остатка (СХСВ4)

ФС последовательной СХСВ4 с унитарным кодом представления остатка показана на рис. 1.12.

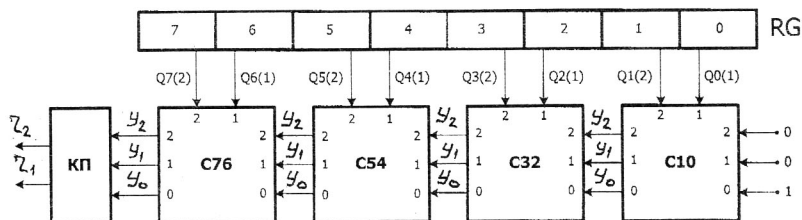


Рис. 1.12 – ФС последовательной СХСВ4 с унитарным кодом (КП - кодопреобразователь унитарного кода в позиционный код).

Алгоритм преобразования одного элемента СХСВ4 (схемы С76, С54, С32, С10 - на рис. 1.12) приведен в табл. 1.15

Таблица 1.15

Вход 1		Вход 2			Выход		
Позиционный код четверичной цифры $Q_{i+1}(2)$ $Q_i(1)$		Унитарный код (y_2, y_1, y_0)			Унитарный код (y_2, y_1, y_0)		
Q_{i+1} X5	Q_i X4	y_2 X3	y_1 X2	y_0 X1	y_2	y_1	y_0
0	0	0	0	1	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	1	0	0	1	0	1	0
0	1	0	1	0	1	0	0
0	1	1	0	0	0	0	1
1	0	0	0	1	1	0	0
1	0	0	1	0	0	0	1
1	0	1	0	0	0	1	0
1	1	0	0	1	0	0	1
1	1	0	1	0	0	1	0
1	1	1	0	0	1	0	0
*	*	*	*	*	*	*	*

1.4.д. Последовательная схема свертки по mod 3 с унитарным кодом остатка с учетом весовых коэффициентов (по mod 3) разрядов двоичного кода (СХСВ5)

ФС рассматриваемой схемы свертки для тетрады приведена на рис. 1.13.

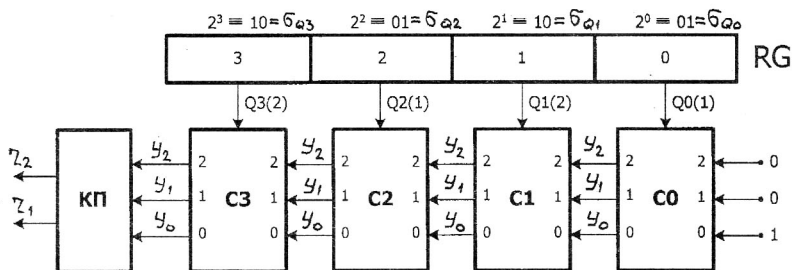


Рис. 1.13 - ФС СХСВ5 с учетом весовых коэффициентов двоичного кода

В СХСВ5 остаток по mod 3 двоичных разрядов с весовыми коэффициентами $2^0, 2^2$ (четных разрядов) составляет $\sigma_{Q0} = \sigma_{Q2} = 01$. В разрядах с весовыми коэффициентами $2^1, 2^3$ (в нечетных разрядах) остаток составляет $\sigma_{Q1} = \sigma_{Q3} = 10$.

Алгоритм преобразования входного кода одного элемента (С3 – С0 - на рис. 1.13) в выходной код остатка по mod 3 для четных разрядов приведен в табл. 1.16, а для нечетных - в табл. 1.17.

Таблица 1.16

Первый вход	Второй вход			Выход		
σ_{Q_i} (i - четное)	Y_2	Y_1	Y_0			
X4	X3	X2	X1	Y_2	Y_1	Y_0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	1	0	0	1	0	0
1	0	0	1	0	1	0
1	0	1	0	1	0	0
1	1	0	0	0	0	1
*	*	*	*	*	*	*

Таблица 1.17

Первый вход	Второй вход			Выход		
σ_{Q_i} (i - нечетное)	Y_2	Y_1	Y_0			
Z4	Z3	Z2	Z1	Y_2	Y_1	Y_0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	1	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	1	0	0	0	1	0
*	*	*	*	*	*	*

1.4.ж. Последовательная схема свертки по mod 3 с позиционным кодом остатка с учетом весовых коэффициентов разрядов двоичного кода (СХСВ6)

Функциональная схема СХСВ6 для одной тетрады приведена на рис. 1.14.

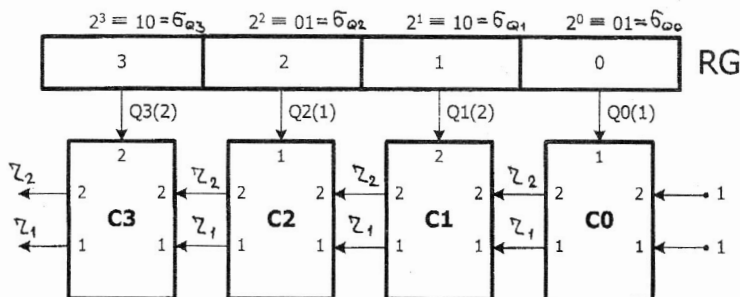


Рис. 1.14 – ФС СХСВ6 по весовым коэффициентам двоичного кода ($\sigma_{Q0} = 01$, $\sigma_{Q1} = 10$, $\sigma_{Q2} = 01$, $\sigma_{Q3} = 10$) и позиционным кодированием остатка по модулю три

Алгоритм преобразования входных кодов одного элемента схемы свертки для четных разрядов (0, 2) (схемы C2, C0 на рис. 1.14) приведен в табл. 1.18, а для нечетных разрядов (1, 3) (схемы C3, C1 на рис. 1.14) - в табл. 1.19.

Таблица 1.18

Вход 1	Вход 2		Выход	
σ_{0i} (i - четное)	r_2	r_1		
X3	X2	X1	r_2	r_1
0	1	1	1	1
0	1	0	1	0
0	0	1	0	1
1	1	1	0	1
1	1	0	1	1
1	0	1	1	0
*	*	*	*	*

Таблица 1.19

Вход 1	Вход 2		Выход	
σ_{0i} (i - нечетное)	r_2	r_1		
Z3	Z2	Z1	r_2	r_1
0	1	1	1	1
0	1	0	1	0
0	0	1	0	1
1	1	1	1	0
1	1	0	0	1
1	0	1	1	1
*	*	*	*	*

1.5. Одноразрядный сумматор (SM)

Алгоритм работы одноразрядного сумматора (рис. 1.15) описывается таблицей истинности 1.20.

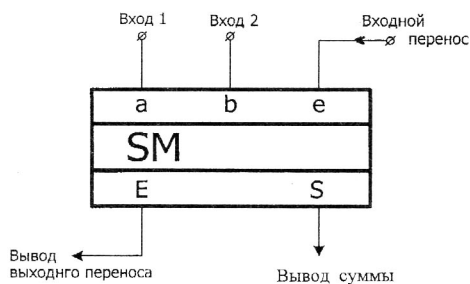


Рис. 1.15 - УГО одноразрядного сумматора

Таблица 1.20

a	b	c	S	E
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Канонические уравнения сумматора (табл. 1.20) имеют вид:

$$\begin{cases} S = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc; \\ E = \bar{a}bc + a\bar{b}c + ab\bar{c} + abc. \end{cases}$$

Из свойства самодвойственности SM (при инвертировании входов выходные сигналы SM также инвертируются) следуют соотношения сумматора:

$$\begin{cases} \bar{S} = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc; \\ \bar{E} = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc; \\ S = \overline{\bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc}; \\ E = \overline{\bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc}. \end{cases}$$

Минимальные уравнения сумматора имеют вид (табл. 1.20):

$$\begin{cases} S = a\bar{E} + b\bar{E} + c\bar{E} + abc; \\ E = ab + ac + bc. \end{cases}$$

Из свойства самодвойственности сумматора имеем следующие модифицированные минимальные уравнения:

$$\begin{cases} \bar{S} = a\bar{E} + b\bar{E} + c\bar{E} + abc; \\ \bar{E} = \bar{a}\bar{b} + \bar{a}\bar{c} + \bar{b}\bar{c}; \\ S = \overline{\bar{a}\bar{b} + \bar{a}\bar{c} + \bar{b}\bar{c}}; \\ E = \overline{\bar{a}\bar{b} + \bar{a}\bar{c} + \bar{b}\bar{c}}. \end{cases}$$

1.6. Одноразрядный вычитатель (SUB)

Алгоритм работы одноразрядного вычитателя (рис. 1.16) описывается таблицей истинности 1.21.

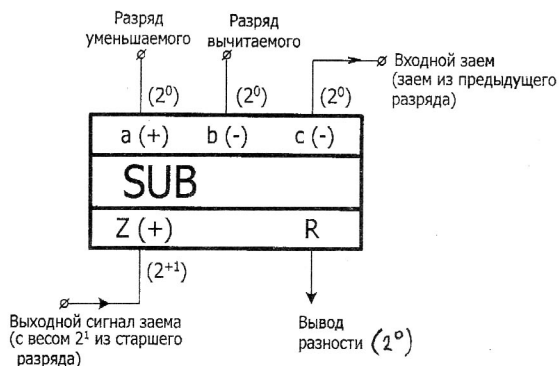


Рис. 1.16 – УГО (условное графическое обозначение) одноразрядного вычитателя

Таблица 1.21

a (+)	b (-)	c (-)	Z (+2)	R
0	0	0	0	0
0	0	1	1 (+2)	1
0	1	0	1 (+2)	1
0	1	1	1 (+2)	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1 (+2)	1

Канонические уравнения вычитателя имеют вид (табл. 1.21):

$$\begin{cases} R = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc; \\ Z = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}c + abc. \end{cases}$$

Из свойства самодвойственности вычитателя следуют другие формы канонических соотношений:

$$\begin{cases} \overline{R} = \overline{abc} + \overline{a\bar{b}c} + \overline{ab\bar{c}} + \overline{abc}; \\ \overline{Z} = \overline{abc} + \overline{a\bar{b}c} + \overline{ab\bar{c}} + \overline{abc}; \end{cases}$$

$$\begin{cases} R = \overline{\overline{a\bar{b}c} + \overline{ab\bar{c}} + \overline{abc} + \overline{abc}}; \\ Z = \overline{\overline{abc} + \overline{a\bar{b}c} + \overline{ab\bar{c}} + \overline{abc}}. \end{cases}$$

Минимальные уравнения вычитателя имеют вид (табл. 1.21):

$$\begin{cases} R = aZ + \bar{b}Z + \bar{c}Z + \overline{abc}; \\ Z = \bar{a}b + \bar{a}c + bc. \end{cases}$$

Из свойства самодвойственности вычитателя следуют другие формы минимальных соотношений:

$$\begin{cases} \overline{R} = \bar{a}\bar{Z} + b\bar{Z} + c\bar{Z} + \overline{abc}; \\ \overline{Z} = \bar{a}\bar{b} + \bar{a}\bar{c} + \bar{b}c; \end{cases}$$

$$\begin{cases} R = \overline{\bar{a}\bar{Z} + b\bar{Z} + c\bar{Z} + \overline{abc}}; \\ Z = \overline{\bar{a}\bar{b} + \bar{a}\bar{c} + \bar{b}c}. \end{cases}$$

1.7. Одноразрядный полусумматор (HS)

Алгоритм работы HS (рис. 1.17) описывается таблицей истинности 1.22.

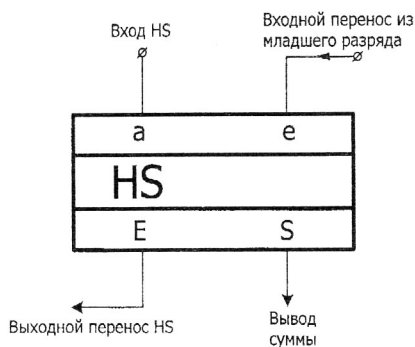


Рис. 1.17. УГО полусумматора

Таблица 1.22

a	e	S	E
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

1.8. Одноразрядный полувычитатель (HSUB)

Алгоритм работы одноразрядного полувычитателя (рис. 1.18) описывается таблицей истинности 1.23.

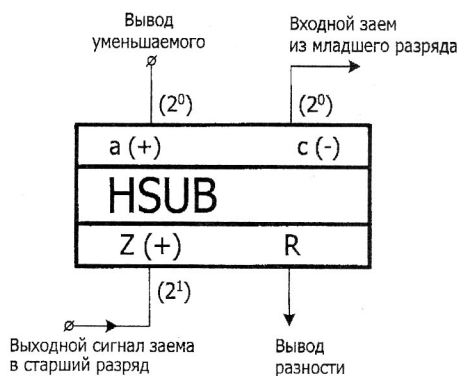


Рис. 1.18. Условное графическое обозначение (УГО) полувычитателя

Таблица 1.23

a (+)	c (-)	Z (+)	R
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

1.9. Инкрементирование и декрементирование двоичного кода

Функциональные схемы трехразрядных блоков инкрементирования и декрементирования на КЛС и использованием HS и HSUB показаны соответственно на рис. 1.19а, б и рис. 1.20а, б.

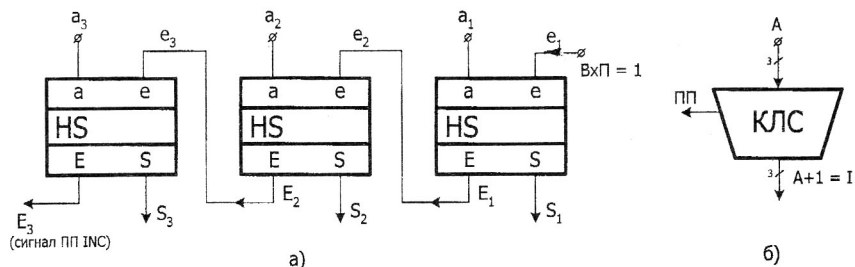


Рис. 1.19. ФС INC на параллельной КЛС (б) и последовательной схеме из HS (а)

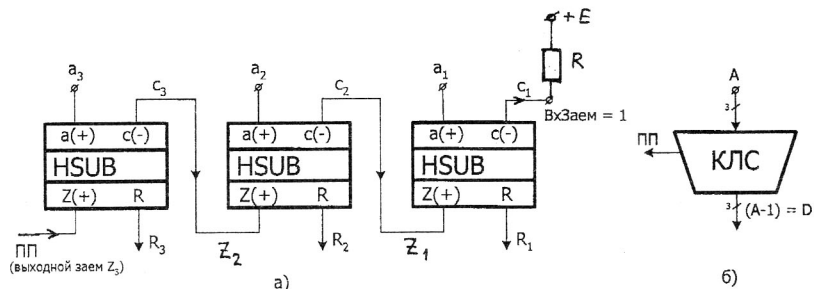


Рис. 1.20. ФС DEC на основе минимальной параллельной КЛС (б) и последовательной схемы из HSUB (а)

1.10. КЛС суммирующе - вычитающего устройства прямых кодов (СВУ ПК)

СВУ ПК предназначено для выполнения операции

$$F_{ПК} = (A_{ПК}) D (B_{ПК}),$$

где $F_{ПК} = N_F f$; $A_{ПК} = N_A a$; $B_{ПК} = N_B b$;
 N_F, N_A, N_B - знаки ПК;
 f, a, b - модули ПК;
 D - действие (при $D = 0$ - выполняется сложение ПК,
 при $D = 1$ - вычитание ПК).

Алгоритм вычисления знака операции над модулями ($DM = 0$ - выполняется суммирование модулей ($f = a + b$), при $DM = 1$ - вычитание модулей, то есть $f = a - b$ ($a \geq b$) или $f = b - a$ ($b > a$)) описывается таблицей истинности 1.24.

Таблица 1.24

N_A	D	N_B	DM
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	0
0	1	0	1
0	1	1	0
1	1	0	0
1	1	1	1

Алгоритм вычисления знака результата (N_F) описывается таблицами истинности 1.25 (или 1.26).

Таблица 1.25

N_A	D	N_B	ω	N_F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Примечание. $\omega = 1$, если $a \geq b$;
 $\omega = 0$, если $b > a$.

Таблица 1.26

N_A	D	N_B	DM	ω	N_F
0	0	0	0	1	0
0	0	1	1	1	0
0	1	0	1	1	0
0	1	1	0	1	0
1	0	0	1	1	1
1	0	1	0	1	1
1	1	0	0	1	1
1	1	1	1	1	1
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	0	0
1	0	0	1	0	0
1	0	1	0	0	1
1	1	0	0	0	1
1	1	1	1	0	0
*	*	*	*	*	*

1.11. Схемы переполнения сумматоров

ФС сумматоров для алгебраических чисел показана на рис. 1.21.

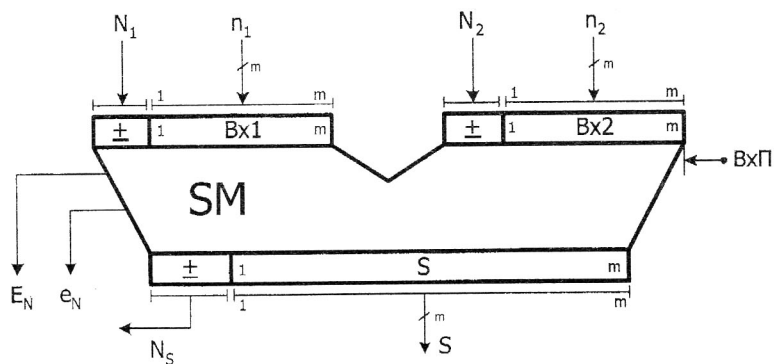


Рис. 1.21. ФС SM для отображений алгебраических чисел

На рис. 1.21 приняты обозначения:

N_1, N_2 - знаковые разряды чисел на входах сумматора (на $Vx1$ и $Vx2$);

p_1, p_2 - цифровые разряды на входах сумматора;

N_s - знаковый разряд суммы;

S - цифровые разряды суммы;

E_N, e_N - соответственно выходной перенос из знакового разряда сумматора и входной перенос в знаковый разряд сумматора.

Очевидно, что в суммирующе-вычитающем устройстве дополнительных кодов (СВУ ДК) при выполнении суммирования ДК (при $D = 0$) на входах сумматора будут установлены коды:

$$Vx1 = A_{\text{ДК}}^{m+1}; \quad Vx2 = B_{\text{ДК}}^{m+1}; \quad Vx\Pi = 0,$$

где $A_{\text{ДК}}^{m+1}, B_{\text{ДК}}^{m+1}$ - входные операнды СВУ ДК.

При выполнении в СВУ ДК операции вычитания (при $D = 1$) результат будет формироваться при передаче на входы сумматора кодов:

$$Vx1 = A_{\text{ДК}}^{m+1}; \quad Vx2 = B_{\text{ДК}}^{m+1}; \quad Vx\Pi = 1,$$

где $A_{\text{ДК}}^{m+1}$ - ДК уменьшаемого;

$B_{\text{ДК}}^{m+1}$ - инверсия ДК вычитаемого.

Способы формирования входных кодов сумматора в СВУ ДК, ОК, ПН и ОН приведены в табл. 1.27.

Таблица 1.27

Тип СВУ		$Vx1$	$Vx2$	$Vx\Pi$
СВУ ДК	$D = 0$	$A_{\text{ДК}}$	$B_{\text{ДК}}$	0
	$D = 1$	$A_{\text{ДК}}$	$\overline{B_{\text{ДК}}}$	1
СВУ ОК	$D = 0$	$A_{\text{ОК}}$	$B_{\text{ОК}}$	0
	$D = 1$	$A_{\text{ОК}}$	$\overline{B_{\text{ОК}}}$	0
СВУ ПН	$D = 0$	$A_{\text{ПН}}$	$B_{\text{ПН}}$	0
	$D = 1$	$A_{\text{ПН}}$	$\overline{B_{\text{ПН}}}$	1
СВУ ОН	$D = 0$	$A_{\text{ОН}}$	$B_{\text{ОН}}$	1
	$D = 1$	$A_{\text{ОН}}$	$\overline{B_{\text{ОН}}}$	0

Примечание. Формирование входов сумматора осуществляется для операции $(A)D(B)$, где A и B - алгебраические числа; D - действие $(+ (0)$ или $-(1))$.

Следовательно, в СВУ всех типов имеем:

$$N_1 = N_A; \quad N_2 = N_B \oplus D,$$

где $N_2 = N_B \oplus 0 = N_B$ при $D = 0$ (при $A + B$);

$N_2 = N_B \oplus 1 = \overline{N_B}$ при $D = 1$ (при $A - B$).

Алгоритм формирования сигналов переполнения (ПП) сумматора в СВУ ДК и СВУ ОК приведены в табл. 1.28а, б.

Таблица 1.28а

N_S	$N_A (N_1)$	$N_B \oplus D (N_2)$	ПолПП SM	ОтрПП SM	ПП SM	Тип СВУ
0	0	0	0	0	0	СВУ ДК СВУ ОК
0	0	1	0	0	0	
0	1	0	0	0	0	
0	1	1	0	1	1	
1	0	0	1	0	1	
1	0	1	0	0	0	
1	1	0	0	0	0	
1	1	1	0	0	0	

Примечание. ПолПП SM, ОтрПП SM - переполнение сумматора (ПП SM) соответственно при формировании на входах сумматора кодов, отображающих положительные или отрицательные числа.

Таблица 1.28б

E_N	e_N	ПолПП SM	ОтрПП SM	ПП SM	Тип СВУ
0	0	0	0	0	СВУ ДК и СВУ ОК
0	1	1	0	1	
1	0	0	1	1	
1	1	0	0	0	

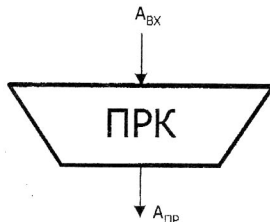
Алгоритмы формирования сигналов переполнения сумматора СВУ ПН и СВУ ОН описывается таблицей истинности 1.29.

Таблица 1.29

E_N	N_S	ПолПП SM	ОтрПП SM	ПП SM	Тип СВУ
0	0	0	1	1	СВУ ПН и СВУ ОН
0	1	0	0	0	
1	0	0	0	0	
1	1	1	0	1	

1.12. Преобразователи кодов (ПРК)

Структура ПРК в общем случае имеет вид, показанный на рис. 1.22.



$A_{ВХ}$ - изображение входного кода;

$A_{ПР}$ - изображение преобразованного кода.

Рис. 1.22. Условное графическое обозначение ПРК

Функциональные зависимости кодов на входе и выходе ПРК при отображении алгебраических чисел на входе и выходе ПРК различными кодами приведены в табл. 1.30.

Таблица 1.30

		Выходной код	
		$A_{ПК}$	$A_{ДК}$
		$N_{ПК} a_{ПК}$	$N_{ДК} a_{ДК}$
Входной код	$A_{ПК}$ ($N_{ПК} a_{ПК}$)	—	$N_{ДК} = N_{ПК}$ $\begin{cases} a_{ДК} = a_{ПК}, & \text{если } N_{ПК} = 0 \\ a_{ДК} = (a_{ПК} + 1), & \text{если } N_{ПК} = 1 \end{cases}$
	$A_{ДК}$ ($N_{ДК} a_{ДК}$)	$N_{ПК} = N_{ДК}$ $\begin{cases} a_{ПК} = a_{ДК}, & \text{если } N_{ДК} = 0 \\ a_{ПК} = (a_{ДК} + 1), & \text{если } N_{ДК} = 1 \end{cases}$	—

Продолжение таблицы 1.30

		Выходной код		
		$A_{ОК}$	$A_{ПН}$	$A_{ОН}$
		$N_{ОК} a_{ОК}$	$N_{ПН} a_{ПН}$	$N_{ОН} a_{ОН}$
Входной код	$A_{ПК}$ ($N_{ПК} a_{ПК}$)	$N_{ОК} = N_{ПК}$ $\begin{cases} a_{ОК} = a_{ПК}, & N_{ПК} = 0 \\ a_{ОК} = a_{ПК}, & N_{ПК} = 1 \end{cases}$	$N_{ПН} = N_{ПК}$ $\begin{cases} a_{ПН} = a_{ПК}, & N_{ПК} = 0 \\ a_{ПН} = a_{ПК} + 1, & N_{ПК} = 1 \end{cases}$	$N_{ОН} = N_{ПК}$ $\begin{cases} a_{ОН} = (a_{ПК} - 1), & N_{ПК} = 0 \\ a_{ОН} = a_{ПК}, & N_{ПК} = 1 \end{cases}$
	$A_{ДК}$ ($N_{ДК} a_{ДК}$)	$N_{ОК} = N_{ДК}$ $\begin{cases} a_{ОК} = a_{ДК}, & N_{ДК} = 0 \\ a_{ОК} = a_{ДК} - 1, & N_{ДК} = 1 \end{cases}$	$N_{ПН} = N_{ДК}$ $\begin{cases} a_{ПН} = a_{ДК}, & N_{ДК} = 0 \\ a_{ПН} = a_{ДК}, & N_{ДК} = 1 \end{cases}$	$N_{ОН} = N_{ДК}$ $\begin{cases} a_{ОН} = a_{ДК} - 1, & N_{ДК} = 0 \\ a_{ОН} = a_{ДК} - 1, & N_{ДК} = 1 \end{cases}$

Продолжение таблицы 1.30

		Выходной код		
		$A_{ПК}$	$A_{ОК}$	$A_{ДК}$
		$N_{ПК} a_{ПК}$	$N_{ОК} a_{ОК}$	$N_{ДК} a_{ДК}$
Входной код	$A_{ОК}$ ($N_{ОК}$ $a_{ОК}$)	$N_{ПК} = N_{ОК}$ $\begin{cases} a_{ПК} = a_{ОК}, N_{ОК} = 0 \\ a_{ПК} = a_{ОК}, N_{ОК} = 1 \end{cases}$	—	$N_{ДК} = N_{ОК}$ $\begin{cases} a_{ДК} = a_{ОК}, N_{ОК} = 0 \\ a_{ДК} = a_{ОК} + 1, N_{ОК} = 1 \end{cases}$
	$A_{ДК}$ ($N_{ДК}$ $a_{ДК}$)	$N_{ПК} = N_{ДК}$ $\begin{cases} a_{ПК} = a_{ДК}, N_{ДК} = 0 \\ a_{ПК} = a_{ДК} + 1, N_{ДК} = 0 \end{cases}$	$N_{ОК} = N_{ДК}$ $\begin{cases} a_{ОК} = a_{ДК}, N_{ДК} = 0 \\ a_{ОК} = a_{ДК} - 1, N_{ДК} = 1 \end{cases}$	—
	$A_{ПН}$ ($N_{ПН}$ $a_{ПН}$)	$N_{ПК} = N_{ПН}$ $\begin{cases} a_{ПК} = a_{ПН}, N_{ПН} = 1; \\ a_{ПК} = (a_{ПН} + 1), \\ N_{ПН} = 0 \end{cases}$	$N_{ОК} = N_{ПН}$ $\begin{cases} a_{ОК} = a_{ПН}, N_{ПН} = 1 \\ a_{ОК} = (a_{ПН} + 1), N_{ПН} = 0 \end{cases}$	$N_{ДК} = N_{ПН}$ $\begin{cases} a_{ДК} = a_{ПН}, N_{ПН} = 1 \\ a_{ДК} = a_{ПН}, N_{ПН} = 0 \end{cases}$
	$A_{ОН}$ ($N_{ОН}$ $a_{ОН}$)	$N_{ПК} = N_{ОН}$ $\begin{cases} a_{ПК} = (a_{ОН} + 1), N_{ОН} = 1 \\ a_{ПК} = a_{ОН}, N_{ОН} = 0 \end{cases}$	$N_{ОК} = N_{ОН}$ $\begin{cases} a_{ОК} = (a_{ОН} + 1), N_{ОН} = 1 \\ a_{ОК} = a_{ОН}, N_{ОН} = 0 \end{cases}$	$N_{ДК} = N_{ОН}$ $\begin{cases} a_{ДК} = (a_{ОН} + 1), N_{ОН} = 1 \\ a_{ДК} = (a_{ОН} + 1), N_{ОН} = 0 \end{cases}$

Продолжение таблицы 1.30

		Выходной код	
		$A_{ПН}$	$A_{ОН}$
		$N_{ПН} a_{ПН}$	$N_{ОН} a_{ОН}$
Входной код	$A_{ОК}$ ($N_{ОК} a_{ОК}$)	$N_{ПН} = N_{ОК}$ $\begin{cases} a_{ПН} = a_{ОК}, \text{ если } N_{ОК} = 0; \\ a_{ПН} = (a_{ОК} + 1), \text{ если } \\ N_{ОК} = 1 \end{cases}$	$N_{ОН} = N_{ОК}$ $\begin{cases} a_{ОН} = (a_{ОК} - 1), \text{ если } N_{ОК} = 0 \\ a_{ОН} = a_{ОК}, \text{ если } N_{ОК} = 1 \end{cases}$
	$A_{ПН}$ ($N_{ПН} a_{ПН}$)	—	$N_{ОН} = N_{ПН}$ $a_{ОН} = (a_{ПН} - 1)$
	$A_{ОН}$ ($N_{ОН} a_{ОН}$)	$N_{ПН} = N_{ОН}$ $a_{ПН} = (a_{ОН} + 1)$	—

1. 13. Схемы контроля по модулю три операции суммирования беззнаковых чисел

Функциональная схема блока контроля и суммирующего устройства (СУ) модулей чисел (беззнаковых чисел) приведена на рис.1.23.

Операция суммирования модулей считается корректной при совпадении контрольного кода, который рассчитывается по формуле $r_k = (r_A + r_B)_{m3}$, и свертки выходных сигналов сумматора ($r_{SM} = (ВыхП.С)_{m3}$).

Если, например, $|A| = 0010$ ($r_A = 10$), $|B| = 0101$ ($r_B = 10$), то на выходе сумматора по модулю три (SM+INC) будем иметь: $r_k = (r_A + r_B)_{m3} = (10 + 10)_{m3} = 01$. При корректной работе сумматора слагаемых ($|A|$ и $|B|$) на выходе сумматора получим $(ВыхП).S = (0).0111$, а на выходе схемы свертки сумматора (СХСВ) будем иметь $r_{SM} = [(0).0111]_{m3} = 01$.

Следовательно, в схеме контроля операции будут образованы коды $r_k = r_{SM} = 01$. Поэтому на выходе схемы сравнения ($=$) будет сформирован сигнал ошибки $ERROR = 0$.

1. 14. Схемы контроля по модулю три операции прямого вычитания беззнаковых чисел

Функциональная схема операции прямого вычитания беззнаковых чисел с контролем операции по mod 3 показана на рис.1. 24.

Корректность операции вычитания беззнаковых чисел определяется с использованием контрольного кода операции:

$$r_k = (\overline{r_{\Sigma ZH}} + r_R + r_B)_{m3}$$

где $r_{\Sigma ZH} = (2^n)_{m3} Z_n$; $R = 2^n Z_n + (A - B)$; $A = (R + B - 2^n Z_n)$;

n - число цифровых разрядов исходных операндов;

r_A - остаток по модулю три ($m3$) уменьшаемого;

r_B - остаток по модулю три ($m3$) вычитаемого.

$Z_n = 0(1)$ - выходной заем вычитателя.

Операция считается корректной при совпадении r_k и свертки уменьшаемого $A(r_A)$.

При $|A| = 1011_2 = 11_{10}$, $|B| = 1101_2 = 13_{10}$ получим: $r_A = 10$, $r_B = 01$,

$Z_n = 1$; $R = 1110_2 = 14_{10}$; $r_R = 10$; $r_{\Sigma ZH} = (2^4)_{m3} Z_n = 01 * 1 = 01$;

$r_k = (\overline{01} + 10 + 01)_{m3} = (10 + 11)_{m3} = 10$; $r_A = (1011)_{m3} = 10$.

Следовательно, имеем: $r_A = r_k$ и $ERROR = 0$.

1. 15. Контроль по модулю три сумматора СВУ дополнительного кода (ДК)

Функциональная схема СВУ ДК и схемы контроля работы сумматора СВУ показана на рис.1.25.

В СВУ при $QD = 0$ имеем: $Vx1 = QA = A_{ДК}$; $Vx2 = QB = B_{ДК}$;
 $E_N.S = (A_{ДК} + B_{ДК})$. Следовательно, в данном случае получим:

$$r_k = (r_{A_{ДК}} + r_{B_{ДК}})_{m3}; \quad r_{SM} = (E_N.S)_{m3}.$$

При $QD = 1$ на входах сумматора СВУ ДК имеем: $Vx1 = A_{ДК}$;
 $Vx2 = \overline{B_{ДК}} + 1 = (E - B_{ДК}) + 1$; $E_N.S = (A_{ДК}) + (\overline{B_{ДК}} + 1)$, где E - код полной единицы (для выбранного формата при $B_{ДК} = (\pm xxx)$, $E = 1111$, $r_E = 11$).

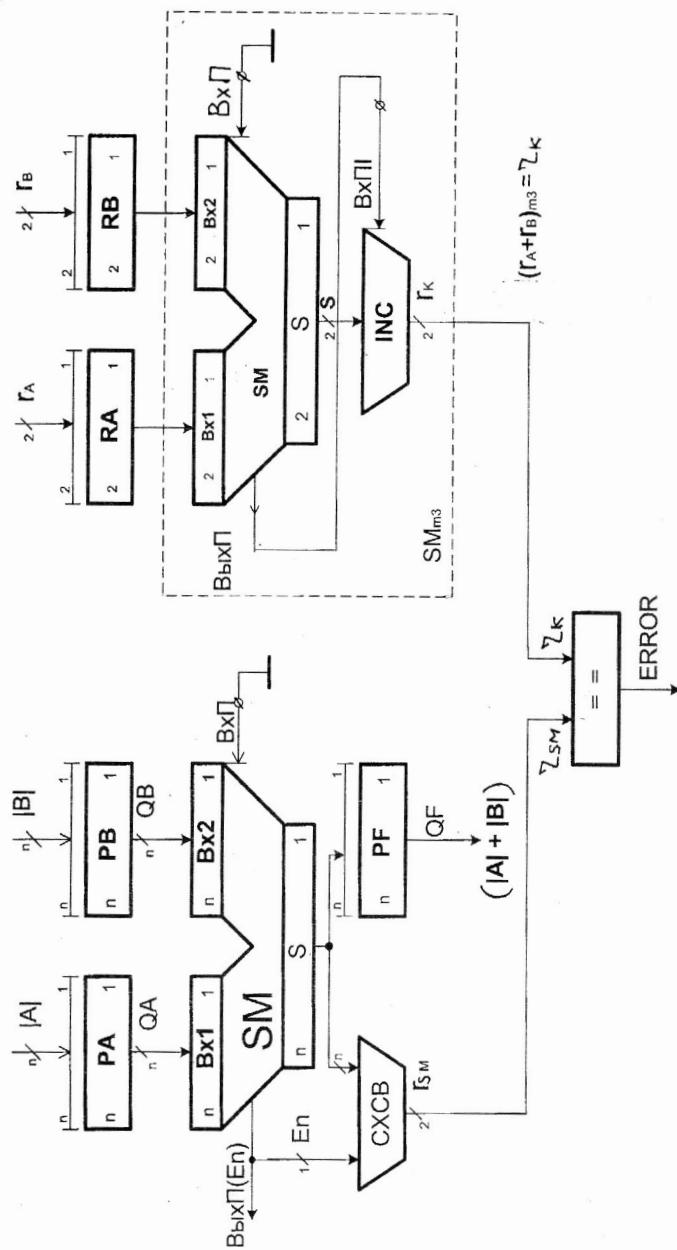


Рис. 1.23. ФС контроля по мод3 суммирующего устройства (РА и РВ - регистры исходных слагаемых, RA и RB - регистры остатков исходных слагаемых)

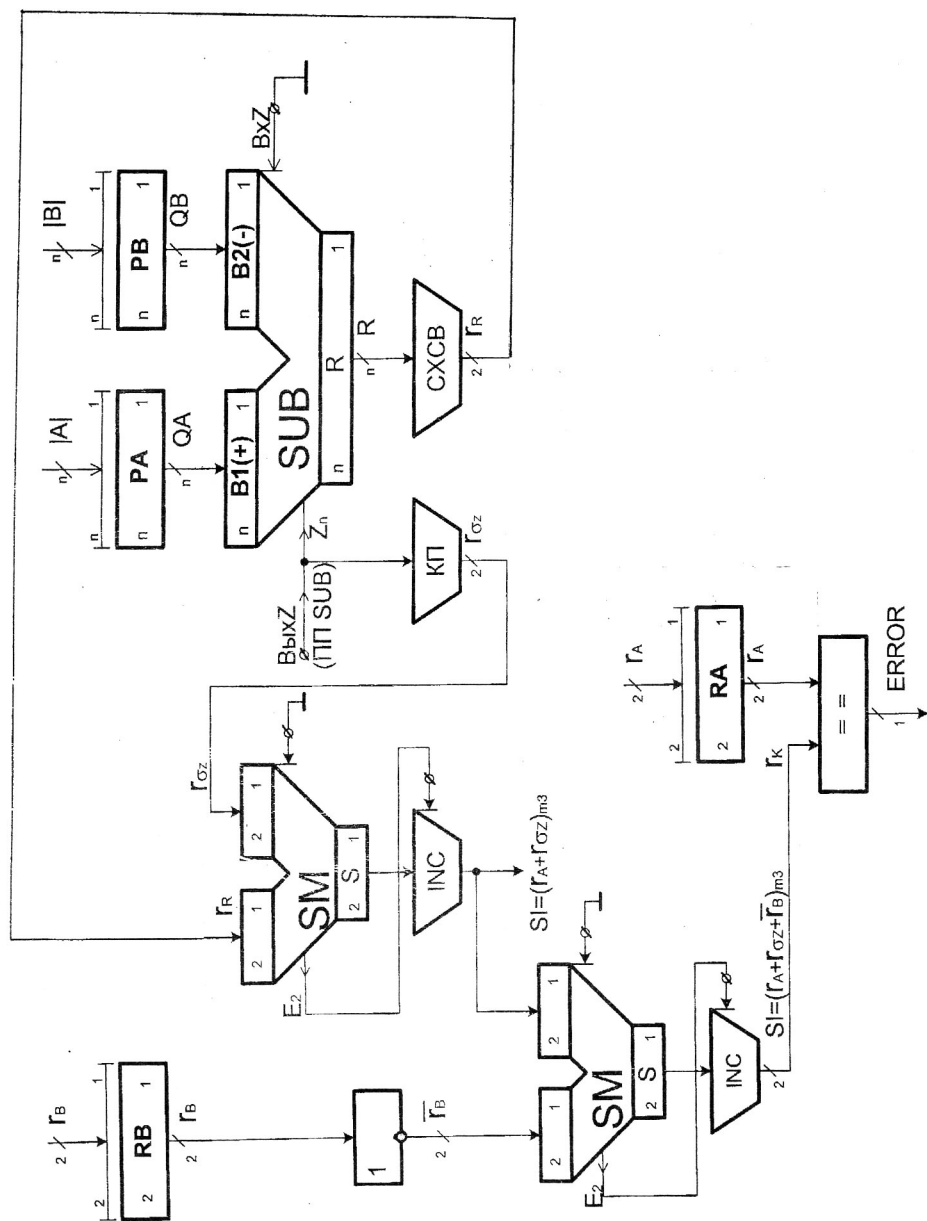


Рис. 1.24. ФС контроля по mod3 вычитания беззнаковых чисел

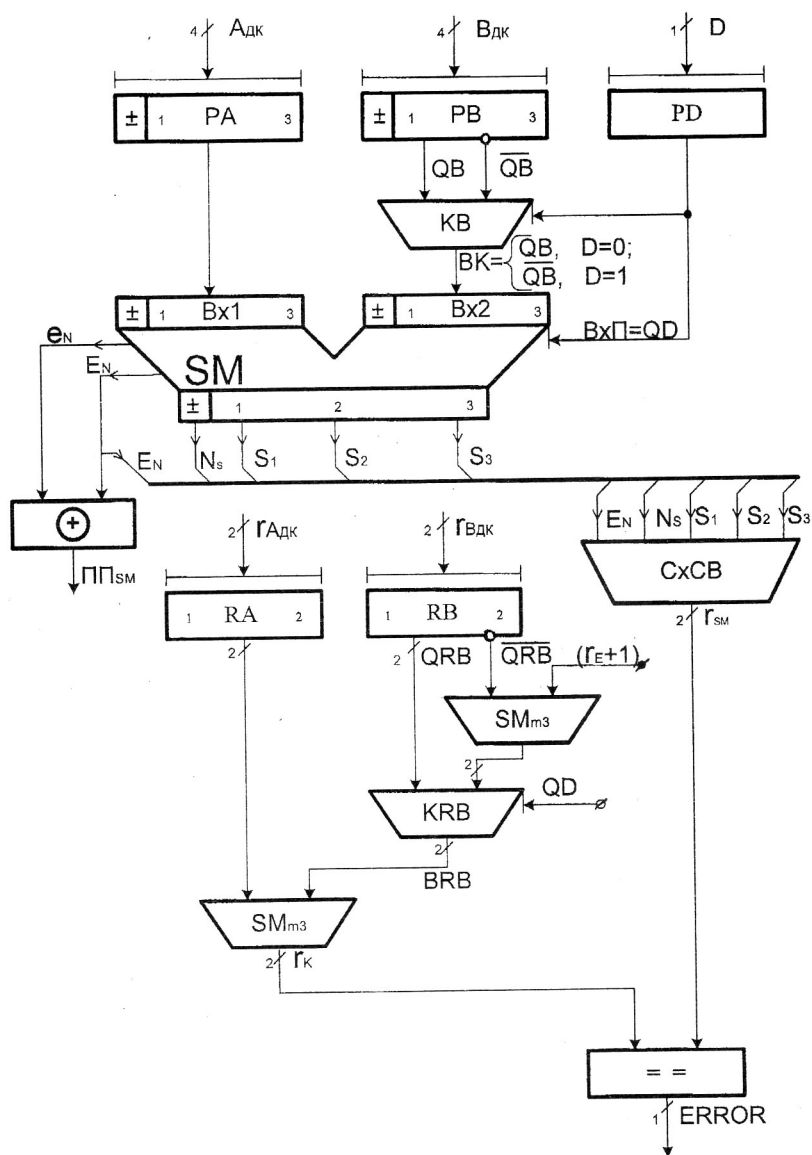


Рис. 1.25. ФС блока контроля сумматора ДК СВУ ДК

$$\Gamma_k = (\Gamma_{\text{АДК}} + \Gamma_E + \overline{\Gamma_{\text{ВДК}}} + 1)_{\text{мз}}; \Gamma_{\text{SM}} = ((E_N).S)_{\text{мз}}.$$

Следовательно, для общего случая (при $QD = 0(1)$) получим:

$$\Gamma_k = [(\Gamma_{\text{ВДК}}) \cdot \overline{QD} + [(\Gamma_E + 1) + \overline{\Gamma_{\text{ВДК}}}] \cdot QD]_{\text{мз}}; \Gamma_{\text{SM}} = ((E_N).S)_{\text{мз}}.$$

Операция в сумматоре СВУ ДК считается выполненной правильно, если $\Gamma_k = \Gamma_{\text{SM}}$. Если $A_{\text{ДК}} = 1.011$, $B_{\text{ДК}} = 1.110$ и $QD = 1$, получим: $\Gamma_{\text{АДК}} = 10$; $\Gamma_{\text{ВДК}} = 10$. $(E_N).S = 1.011 + 1.110 + 1 = (0)1.101$. Тогда $(E = 1111, \Gamma_E = 11)$ получим: $\Gamma_k = (\Gamma_{\text{АДК}} + \Gamma_E + \overline{\Gamma_{\text{ВДК}}} + 1)_{\text{мз}} = 10 + 11 + \overline{10} + 1 = (10 + 11 + 01 + 1)_{\text{мз}} = 01$. $\Gamma_{\text{SM}} = ((E_N).S)_{\text{мз}} = ((0)1101)_{\text{мз}} = 01$.

Следовательно, $\Gamma_{\text{SM}} = \Gamma_k$ и $\text{ERROR} = 0$.

1.16. Контроль по модулю три сумматора СВУ обратного кода (ОК)

Функциональная схема СВУ ОК и блока контроля показана на рис.1.26.

В СВУ ОК при выполнении операции суммирования $QD = 0(+)$ в SM ОК выполняется операция:

$$SI = A_{\text{ОК}} + B_{\text{ОК}} - (2^n) E_N + E_N,$$

где 2^n - вес выходного переноса E_N сумматора.

При выполнении операции вычитания ($QD = 1(-)$) в СВУ ОК результат, очевидно, определяется формулой:

$$SI = A_{\text{ОК}} + \overline{B_{\text{ОК}}} - (2^n) E_N + E_N;$$

или

$$SI = A_{\text{ОК}} + (E - B_{\text{ОК}}) - (2^n) E_N + E_N.$$

Следовательно, контрольный код SM ОК (Γ_k) может быть задаваться соотношением:

$$\Gamma_k = [(\Gamma_{\text{АОК}} + (\overline{\Gamma_{\text{СП+1}}}) E_N + E_N) + (\Gamma_{\text{ВОК}}) \overline{QD} + (\Gamma_E + \overline{\Gamma_{\text{ВОК}}}) QD]_{\text{мз}},$$

где $\Gamma_{\text{СП+1}} = (2^n)_{\text{мз}}$ - остаток по модулю три весового коэффициента выходного переноса E_N ;

$\Gamma_E = (E)_{\text{мз}}$ - остаток кода полной единицы;

E_N - выходной перенос из знакового разряда SM ОК.

Если исходные данные СВУ ОК равны: $A_{\text{ОК}} = 1.100$ ($A = -3$), $B_{\text{ОК}} = 1.101$ ($B = -2$), $\Gamma_{\text{АОК}} = 11$, $\Gamma_{\text{ВОК}} = 01$ и $QD = 0$, то в схеме СВУ ОК будут выполнены операции:

$$\begin{aligned} SI &= A_{\text{ОК}} + B_{\text{ОК}} - (2^n) E_N + E_N = 1.100 + 1.101 - (2^4) 1 + 1 = \\ &= 1100 + 1101 - 2^4 + 1 = 12_{10} + 13_{10} - 16_{10} + 1 = 10_{10} = 1.010. \end{aligned}$$

$$\Gamma_{\text{SMOK}} = \Gamma_{\text{SI}} = (1010)_{\text{мз}} = 01. \quad \text{При } n = 4 \text{ получаем:}$$

$$\begin{aligned} \Gamma_k &= (\Gamma_{AOK} + \Gamma_{BOK} + \overline{(\Gamma_{ON+1})} \cdot E_N + E_N)_{m3} = (11 + 01 + (\overline{01}) \cdot 1 + 1)_{m3} = \\ &= (11 + 01 + 10 + 01)_{m3} = 01. \end{aligned}$$

Следовательно, получим $\Gamma_k = \Gamma_{SMOK} = 01$, $ERROR = 0$.

При $D = 1$, $A_{OK} = 1.100$, $B_{OK} = 1.101$, $\Gamma_{AOK} = 11$, $\Gamma_{BOK} = 01$ в СВУ ОК будут выполнены операции:

$$\begin{aligned} SI &= A_{OK} + \overline{B_{OK}} - (2^n) E_N + E_N = 1100 + \overline{1101} - (2^n) 0 + 0 = 1100 + \\ 0010 &= 12_{10} + 2_{10} = 14_{10} = 1.110. \end{aligned}$$

$\Gamma_{SI} = \Gamma_{SMOK} = (1110)_{m3} = 10$. При $D = 1$ получаем:

$$\begin{aligned} \Gamma_k &= (\Gamma_{AOK} + \Gamma_E + \overline{\Gamma_{BOK}} + \overline{\Gamma_{ON+1}} \cdot E_N + E_N)_{m3} = (11 + 11 + \overline{01} + \overline{01} \cdot 0 + 0)_{m3} = \\ &= (11 + 11 + 10 + 10 \cdot 0 + 0)_{m3} = 10. \end{aligned}$$

Таким образом, имеем: $\Gamma_k = \Gamma_{SI} = 10$, $ERROR = 0$.

1.17. Контроль по модулю три сумматора СВУ МДК (модифицированного ДК)

Функциональная схема СВУ МДК и блока контроля показана на рис.1.27. При $D = 0 (+)$ в СВУ МДК выполняются операции:

$$(EN).S = 2^n N_A + A_{ДК} + 2^n N_B + B_{ДК},$$

где 2^n - вес старшего знакового разряда МДК;

N_A, N_B - знаковые разряды $A_{ДК}$ и $B_{ДК}$.

При $D = 1 (-)$ в SM с ВУ МДК осуществляется суммирование $A_{МДК}$ и $B_{МДК}$:

$$S = 2^n N_A + A_{ДК} + (2^n) \cdot \overline{N_B} + \overline{B_{ДК}} + D(01).$$

Исходя из этих соотношений, для контрольного кода получим:

$$\begin{aligned} \Gamma_k &= [(\Gamma_{ON+1}) N_A + \Gamma_{AДК} + (\Gamma_{ON+1}) (N_B \cdot \overline{D}) + (\Gamma_{ON+1}) (\overline{N_B} \cdot D) + \\ &+ (\Gamma_E + \overline{\Gamma_{ВДК}}) \cdot D + (\Gamma_{ВДК} \cdot \overline{D}) + D(01)]_{m3}. \end{aligned}$$

Очевидно, соотношение можно преобразовать к виду:

$$\Gamma_k = [(\Gamma_{ON+1}) \cdot N_A + \Gamma_{AДК} + (\Gamma_{ON+1}) \cdot (N_B \oplus D) + (\Gamma_{ВДК} \cdot \overline{D}) + (\Gamma_E + \overline{\Gamma_{ВДК}}) \cdot D + D(01)]_{m3}.$$

В соответствии с полученным выражением построена ФС блока контроля SM СВУ МДК (рис.1.28).

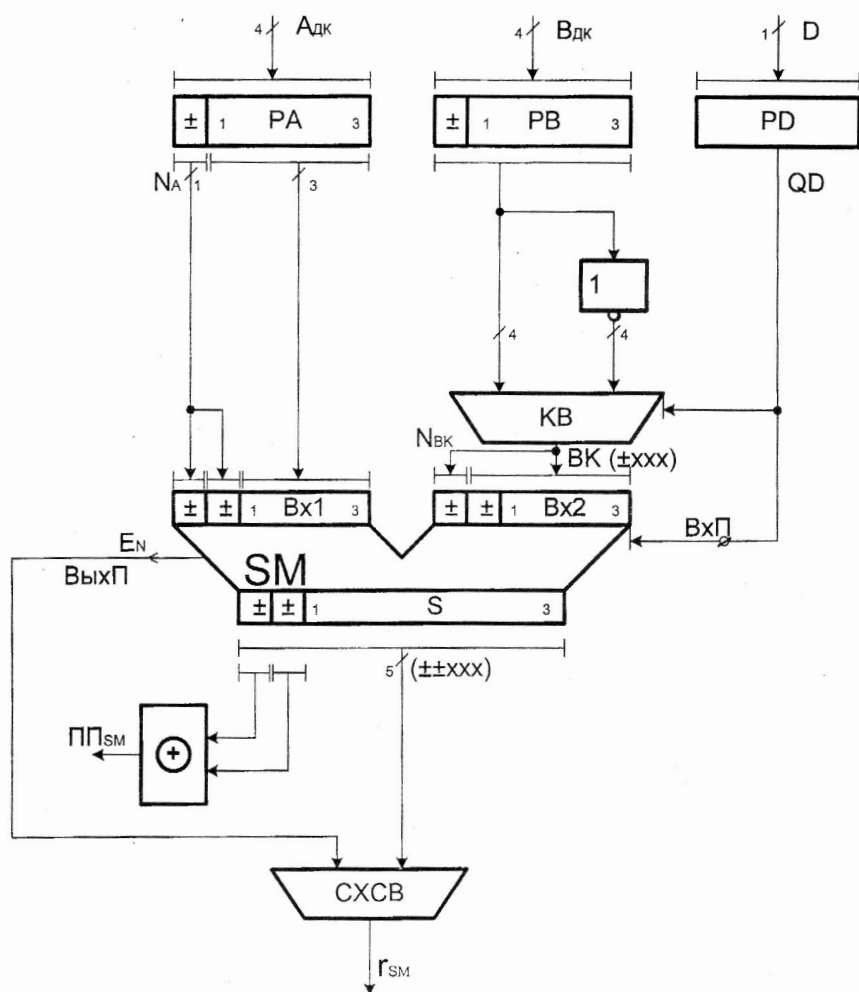


Рис. 1.27. ФС СВУ МДК с контролем SM

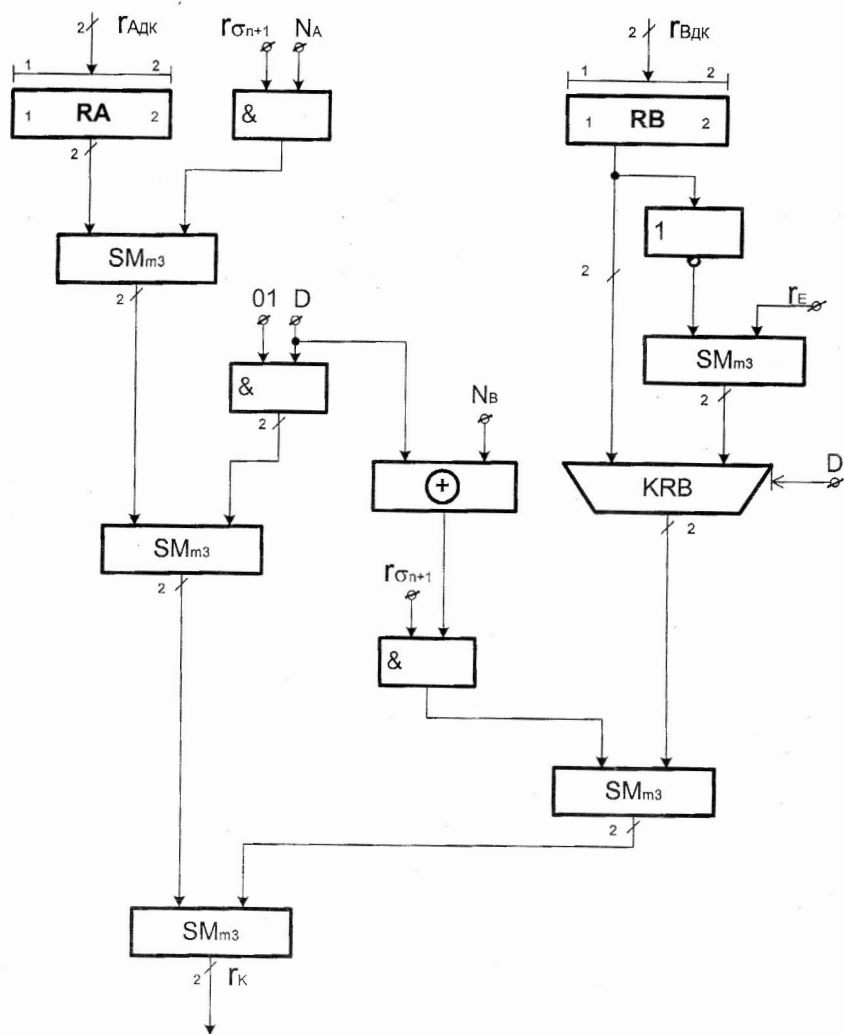


Рис. 1.28. ФС блока контроля SM СВУ МДК

При $A_{ДК} = 1.101$, $B_{ДК} = 1.110$, $r_{АДК} = 01$, $r_{ВДК} = 10$, $D = 0$, $n = 4$ в СВУ МДК будут выполняться операции:

$$(E_N).S = A_{МДК} + B_{МДК} = 11.101 + 11.110 = 29_{10} + 30_{10} = (1)11.011;$$

$$r_{SM} = [(E_N).S]_{m3} = [(1)(11.011)]_{m3} = 10;$$

$$r_k = [(r_{\sigma n+1}) \cdot N_A + r_{АДК} + (r_{\sigma n+1}) \cdot N_B + r_{ВДК}]_{m3} = [(01)1 + 01 + (01)1 + 10]_{m3} = 10.$$

При $D = 1$ в СВУ МДК выполняется вычитание чисел:

$$\begin{aligned} (E_N).S &= A_{МДК} + \overline{B_{МДК}} + 1 = 11.101 + \overline{11.110} + 1 = 11.101 + 00.001 + 1 = \\ &= 29_{10} + 1 + 1 = 31_{10} = (0)11.111; \end{aligned}$$

$$r_{SM} = [(E_N).S]_{m3} = [(0)(11.111)]_{m3} = 01;$$

$$\begin{aligned} r_k &= [(r_{\sigma n+1}) N_A + r_{АДК} + (r_{\sigma n+1}) \overline{N_B} + (r_E + \overline{r_{ВДК}}) + 1]_{m3} = \\ &= [(01)1 + (01)0 + 01 + 11 + \overline{10} + 1]_{m3} = [01 + 01 + 11 + 01 + 1]_{m3} = 01. \end{aligned}$$

Следовательно, окончательно имеем: $r_{SM} \big|_{D=1} = r_k \big|_{D=1} = 01$; $ERROR \big|_{D=1} = 0$.

1.18. Контроль по модулю три сумматора СВУ чисел с “положительным нулем”(СВУ ПН)

Функциональная схема СВУ ПН показана на рис.1.29. В СВУ ПН при $D = 0$ (+) выполняются операции:

$$S = A_{ПН} + B_{ПН} - (2^n) \cdot E_N;$$

$$F = S - (2^{n-1}) N_S + (2^{n-1}) \cdot \overline{N_S};$$

$$r_{SM} = (F)_{m3},$$

где E_N - выходной перенос сумматора;

N_S - знак сумматора;

$$F = (A + B)_{ПН}.$$

При $D = 1$ (-) вычитание чисел и свертка результата в СВУ выполняется по формулам:

$$S = A_{ПН} + \overline{B_{ПН}} + 1 - (2^n) \cdot E_N;$$

$$F = S - (2^{n-1}) N_S + (2^{n-1}) \cdot \overline{N_S};$$

$$r_{SM} = (F)_{m3},$$

где $F = (A - B)_{ПН}$.

Следовательно, для контроля операции в SM контрольный код должен вычисляться следующим образом (рис. П1.30):

$$r_k = r_{АПН} + (r_{ВПН}) \cdot \overline{D} + (\overline{r_{\sigma n+1}}) \cdot E_N + (\overline{r_{\sigma n}}) \cdot N_S + (r_{\sigma n}) \cdot \overline{N_S} + (r_E + \overline{r_{ВПН}}) \cdot D + (01) \cdot D,$$

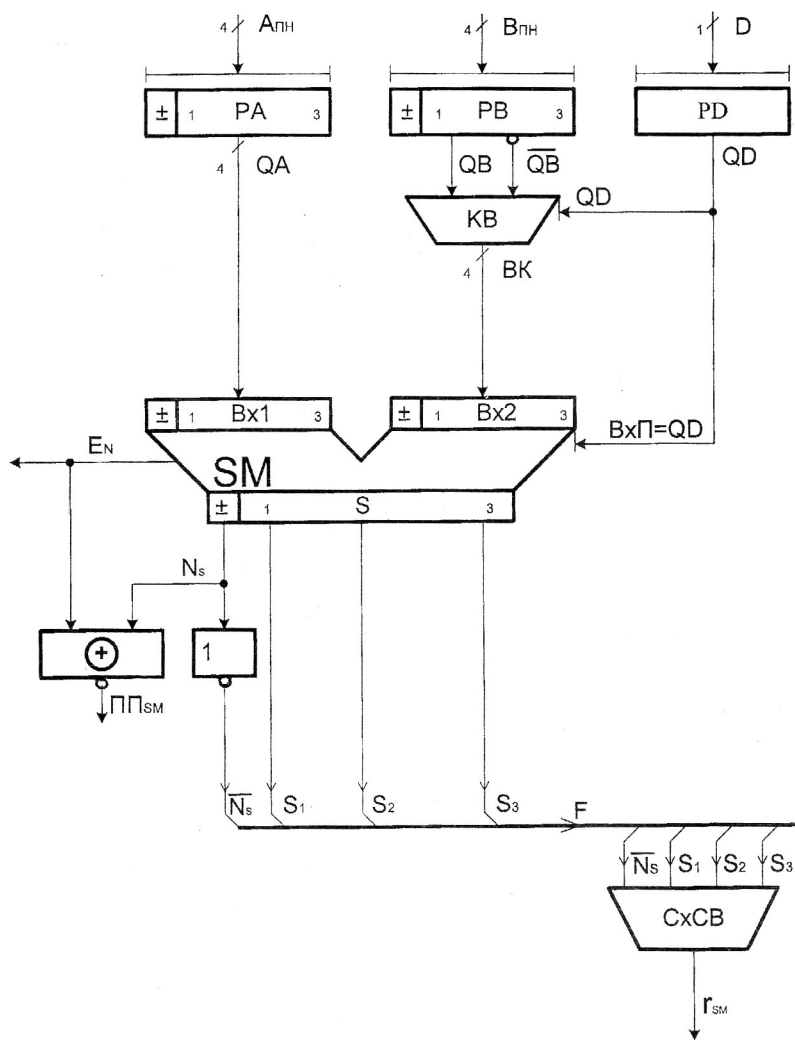


Рис. 1.29. ФС СВУ ПН

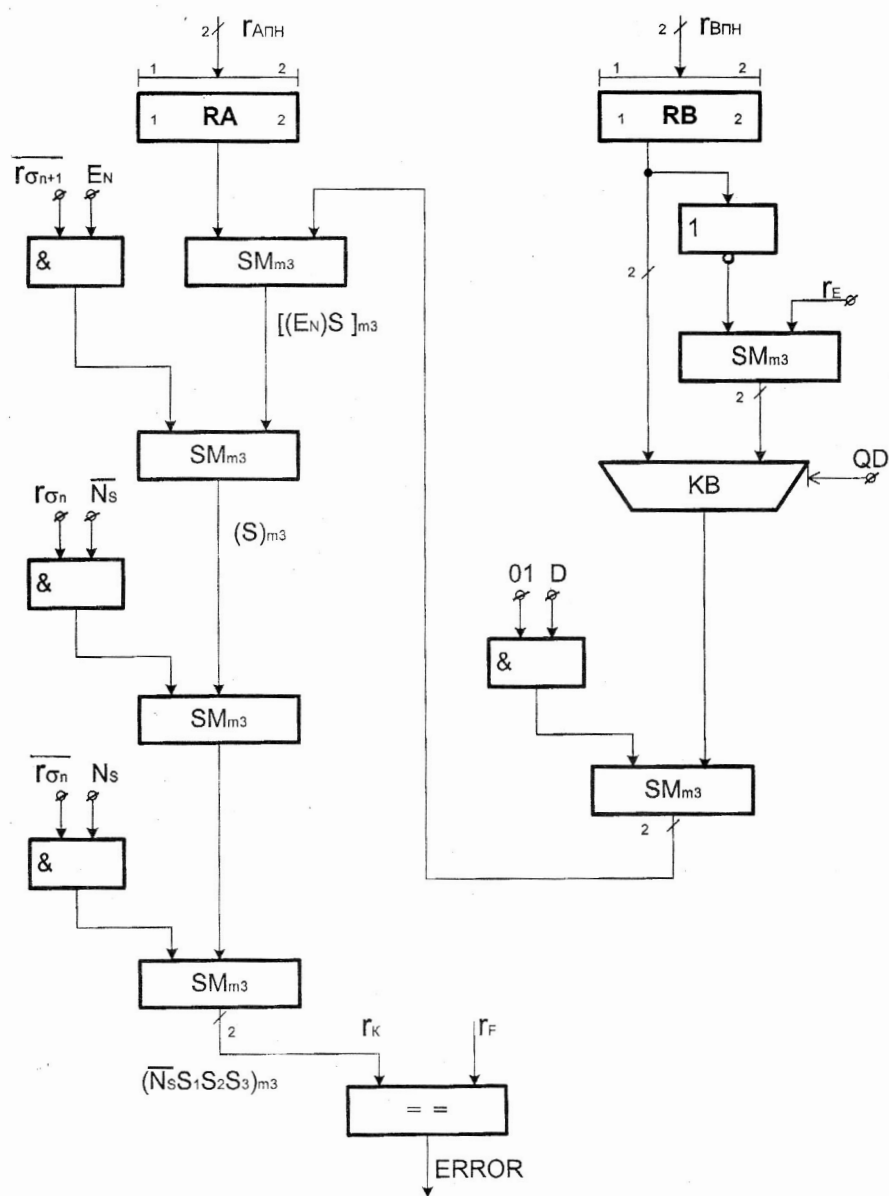


Рис. 1.30. ФС контроля SM СВУ ПН

где r_E - остаток полной единицы ($E = 1111$, $n = 4$).

При $A_{ПН} = 1.101 (+5)$; $B_{ПН} = 1.010 (+2)$; $r_{A_{ПН}} = 01$; $r_{B_{ПН}} = 01$; $D = 0$ в СВУ ПН будут выполняться операции:

$$(E_N)S = A_{ПН} + B_{ПН} = 1101 + 1010 = 13_{10} + 10_{10} = 23_{10} = (1)0111 (n+1); E_N = 1;$$

$$S = (1)0111 - 16_{10} = 0111 (N_S S_1 S_2 S_3);$$

$$F = (A + B)_{ПН} = \overline{N_S} S_1 S_2 S_3 = 1.111; \quad r_{SM} = r_F = 11$$

$$r_k = r_{A_{ПН}} + r_{B_{ПН}} + (\overline{r_{СП+1}}) \cdot E_N + (\overline{r_{СП}}) \cdot N_S + (r_{СП}) \cdot \overline{N_S} = 01 + 01 + (\overline{01}) \cdot 1 + (\overline{10}) \cdot 0 + (10) \cdot 1 = 01 + 01 + (10)1 + (01)0 + (10)1 = 01 + 10 = 11;$$

$$r_k = r_{SM}; \text{ ERROR} = 0.$$

При $D = 1$ $A_{ПН} = 1.101 = (+5)_{10}$; $B_{ПН} = 1.010 = (+2)_{10}$; $r_{A_{ПН}} = 01$; $r_{B_{ПН}} = 01$. В этом случае в СВУ ПН выполняются следующие операции:

$$(E_N)S = A_{ПН} + \overline{B_{ПН}} + 1 = 1101 + \overline{1010} + 1 = 1101 + 0101 + 1 = 13_{10} + 5_{10} + 1 = 19_{10} = (1)0011; E_N = 1;$$

$$S = (1)0011 - 16_{10} = 0011 (N_S S_1 S_2 S_3); \quad F = \overline{N_S} S_1 S_2 S_3 = 1.011 = (+3)_{10}.$$

$$r_F = r_{SM} = 10;$$

$$r_k = r_{A_{ПН}} + (r_E + \overline{r_{B_{ПН}}}) + 01 + (\overline{r_{СП+1}}) E_N + (\overline{r_{СП}}) N_S + (r_{СП}) \overline{N_S} = 01 + 11 + (\overline{01}) + 01 + (\overline{01}) \cdot 1 + (\overline{10}) \cdot 0 + (10) \cdot 1 = 01 + 11 + 10 + 01 + (10) \cdot 1 + (01) \cdot 0 + 10 = 10.$$

$$r_k = r_{SM}; \text{ ERROR} = 0.$$

1.19. Контроль работы SM с “отрицательным нулем” (СВУ ОН)

Функциональная схема СВУ ОН показана на рис.1.31. В СВУ ОН при выполнении суммирования чисел ($D = 0$) выполняются операции:

$$(E_N)S = Bx1 + Bx2 + Bx\Pi = A_{ОН} + B_{ОН} + 1;$$

$$S = A_{ОН} + B_{ОН} + 1 - (2^n) E_N = N_S S_1 S_2 S_3;$$

$$F = (A + B)_{ОН} = \overline{N_S} S_1 S_2 S_3 \quad (n = 4); \quad r_F = (\overline{N_S} S_1 S_2 S_3)_{мз}.$$

Очевидно, что контрольный код (r_k) в этом случае определяется соотношением:

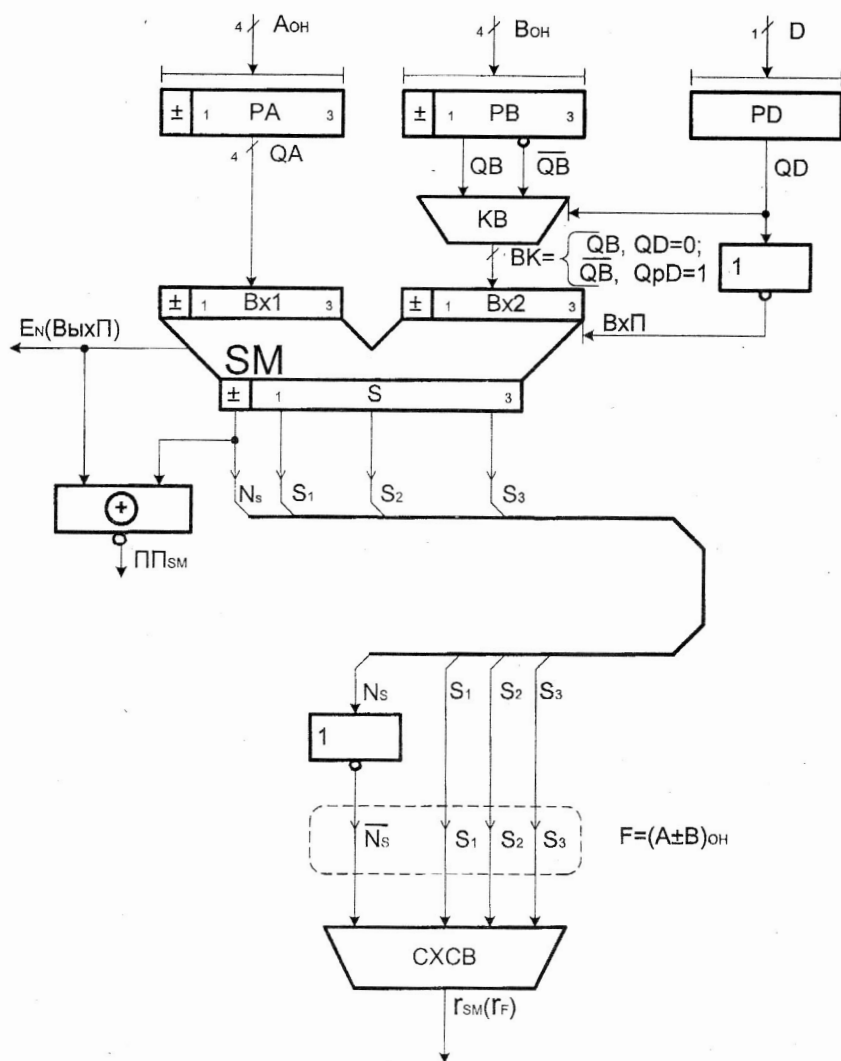


Рис. 1.31. ФС СВУ ОН и сверка по mod3
результата работы СВУ ОН

$$\Gamma_k = \Gamma_{A_{OH}} + \Gamma_{B_{OH}} + (0\ 1) + (\Gamma_{OH+1}) E_N + (\Gamma_{OH}) \overline{N_S} + (\Gamma_{OH}) N_S;$$

При $A_{OH} = 1\ 1\ 0\ 0 = (-3)_{10}$; $B_{OH} = 1\ 0\ 0\ 1 = (-6)_{10}$; $\Gamma_{A_{OH}} = 1\ 1$; $\Gamma_{B_{OH}} = 1\ 1$ получим:

$$(E_N)S = 1\ 1\ 0\ 0 + 1\ 0\ 0\ 1 + 1 = (1)\ 0\ 1\ 1\ 0;$$

$$S = (E_N)S - 16_{10} \cdot 1 = 0\ 1\ 1\ 0 = (N_S S_1 S_2 S_3);$$

$$F = \overline{N_S} \cdot S_1 S_2 S_3 = 1\ 1\ 1\ 0 = (+7); \quad \Gamma_F = (1\ 1\ 1\ 0)_{m3} = 1\ 0;$$

$$\begin{aligned} \Gamma_k &= 1\ 1 + 1\ 1 + 0\ 1 + (\overline{0\ 1}) \cdot 1 + (1\ 0) \cdot 1 + (\overline{1\ 0}) \cdot 0 = 1\ 1 + 1\ 1 + 0\ 1 + (1\ 0) \cdot 1 \\ &+ 1\ 0 + (0\ 1) \cdot 0 = 1\ 0. \end{aligned}$$

Таким образом, имеем $\Gamma_k = \Gamma_F = \Gamma_{SM} = 1\ 0$. Следовательно, операция суммирования выполнена правильно ($ERROR = 0$).

Для выполнения операции вычитания ($D = 1$) этих чисел в СВУ ОН выполняются действия:

$$(E_N)S = Bx1 + Bx2 + Bx\Pi = A_{OH} + \overline{B_{OH}} + 0 = 1\ 1\ 0\ 0 + \overline{1\ 0\ 0\ 1} + 0 = 1\ 1\ 0\ 0$$

$$+ 0\ 1\ 1\ 0 + 0 = 12_{10} + 6_{10} = 18_{10} = (1)\ 0\ 0\ 1\ 0 \quad (E_N = 1);$$

$$S = (E_N)S - 2^n E_N = (1)\ 0\ 0\ 1\ 0 - 16_{10} \cdot 1 = 0\ 0\ 1\ 0 \quad (N_S S_1 S_2 S_3, n = 4);$$

$$F = (A - B)_{OH} = \overline{N_S} S_1 S_2 S_3 = \overline{0\ 0\ 1\ 0} = 1\ 0\ 1\ 0 = (+3_{10});$$

$$\Gamma_F = (1\ 0\ 1\ 0)_{m3} = 0\ 1.$$

Очевидно, контрольный код (Γ_k) сумматора в этом случае будет определяться соотношением:

$$\begin{aligned} \Gamma_k &= \Gamma_{A_{OH}} + \Gamma_E (n=4) + \overline{\Gamma_{B_{OH}}} + (\overline{\Gamma_{OH+1}}) E_N + (\Gamma_{OH}) \overline{N_S} + (\overline{\Gamma_{OH}}) N_S = \\ &= 1\ 1 + 1\ 1 + \overline{1\ 1} + (\overline{0\ 1}) \cdot 1 + (1\ 0) \cdot \overline{0} + (\overline{1\ 0}) \cdot 0 = 1\ 1 + 1\ 1 + 0\ 0 + \\ &+ (1\ 0) \cdot 1 + (1\ 0) \cdot 1 + (0\ 1) \cdot 0 = 0\ 1. \end{aligned}$$

Следовательно, имеем $\Gamma_k = \Gamma_{SM} = 0\ 1$ и, таким образом, ошибка такого сумматора $ERROR = 0$.

Функциональная схема блока контроля SM СВУ ОН (рис.1.32) построена для операции суммирования и вычитания в соответствии с выражением:

$$\Gamma_k = \Gamma_{A_{OH}} + (\Gamma_{B_{OH}}) \cdot \overline{D} + (0\ 1) \cdot \overline{D} + (\Gamma_E + \overline{\Gamma_{B_{OH}}}) \cdot D + (\overline{\Gamma_{OH+1}}) \cdot E_N + (\Gamma_{OH}) \overline{N_S} + (\overline{\Gamma_{OH}}) N_S.$$

2. СХЕМОТЕХНИКА, ДИНАМИКА РАБОТЫ И РАСЧЕТ ДЛИТЕЛЬНОСТИ ТАКТА ОПЕРАЦИОННОГО И УПРАВЛЯЮЩЕГО АВТОМАТОВ БЛОКА ОБРАБОТКИ ДАННЫХ ЦВМ

Рассмотрим проектирование операционного автомата (ОА), функциональная схема которого показана на рис. 2.1. На рисунке показаны тумблерный регистр (РА), счетчик нулей (СТН) и триггер ошибки (TERR). Устройство предназначено для нормализации константы ТРК. Для этого на первом этапе работы ОА $РА = ТРК$ и $СТН = 0$. Далее РА сдвигается влево до тех пор, пока старший разряд РА $QA(7)$ станет равным единицы.

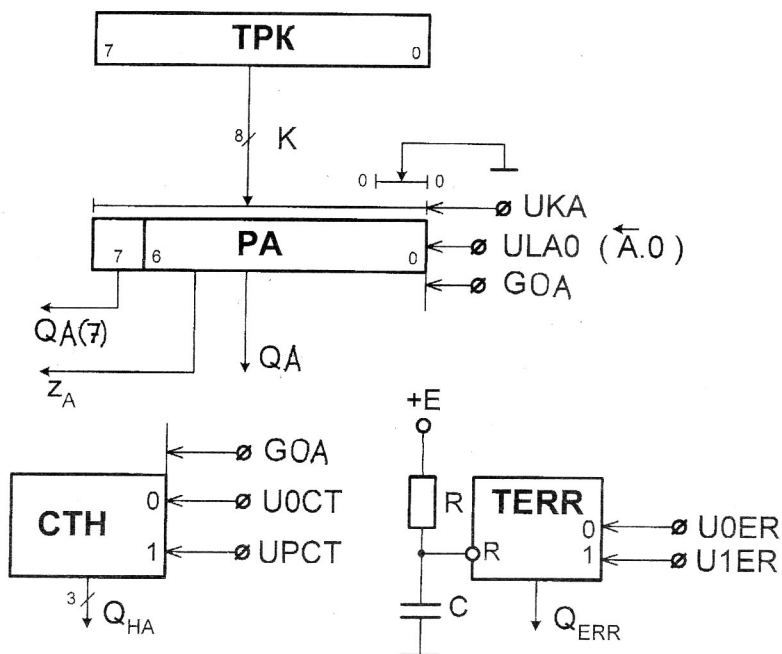


Рис. 2.1. Функциональная схема ОА для нормализации двоичного кода ТРК

Если содержимое РА равно нулю ($Z_A = 1$), код ТРК не может быть нормализован. Нормализация в этом случае не выполняется, формируется сигнал ошибки $Q_{ERR} = 1$ и операция на этом завершается. До начала операции после включения питания (+E) триггер TERR RC – цепочкой принудительно устанавливается в нулевое состояние. При отсутствии блокировки операции ($Z_A = 0$) количество нулей в коде РА (Q_{HA}) накапливается в счетчике СТН, на выходе которого после окончания операции формируется трехразрядный код Q_{HA} .

2.1. Особенности проектирования схем операционного и управляющего автоматов на триггерах K155TM2

Рассмотрим реализацию операционных элементов (ОЭ) рассмотренного блока и его управляющего автомата (УА) на непрозрачных DC – триггерах K155TM2 (рис. 2.2).

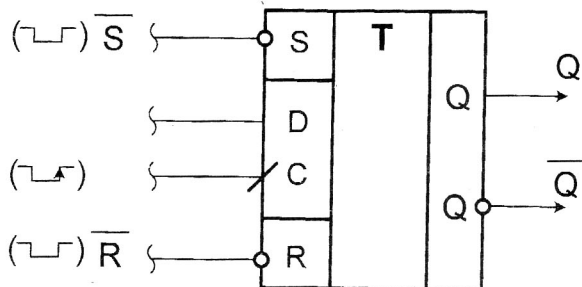


Рис. 2.2. Условное графическое обозначение (УГО) TM2

Согласно паспортным данным для надежной работы этого триггера в такте записи информации по D – входу на входе триггера в динамике необходимо соблюдать условия: $t_{\text{предуст}} \geq 0$; $t_{\text{подг}} \geq 50 \text{ нс}$; $t_{\text{выд}} \geq 0$; $t_{\text{зад}} \geq 50 \text{ нс}$ (рис. 2.3)

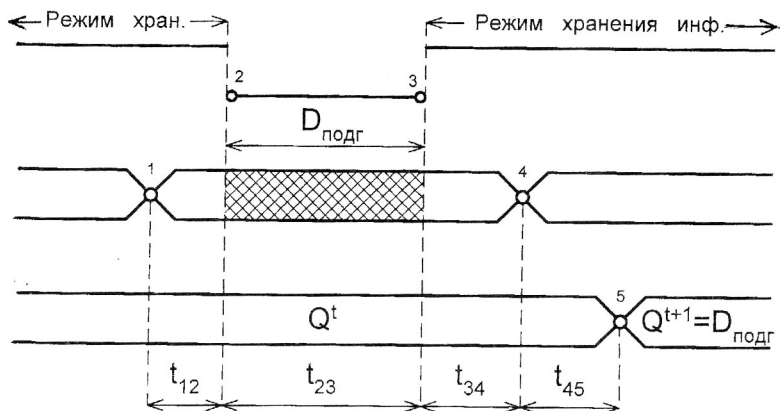


Рис. 2.3. Временная диаграмма работы по информационным DC-входам TM2

На рис. 2.3 для указания этих параметров введены следующие обозначения: t_{12} – время предустановки D – входа ($t_{\text{предуст}}$); t_{23} – время подготовки триггера ($t_{\text{подг}}$) к записи состояния D_{23} по активному заднему фронту отрицательного импульса на C – входе (в момент t_3); t_{34} – время выдержки ($t_{\text{выд}}$) D – входа после активного фронта C – входа (\uparrow); t_{45} – задержка ($t_{\text{зад}}$) выходного сигнала Q триггера.

При этом триггер по активному фронту сигнала на С – входе ($0 \rightarrow 1$) записывает те значения D – входа, которые были сформированы (на D – входе) в течение отрезка времени $t_{\text{подг}}$ сигнала С (при $C = 0$), то есть запоминает $D_{\text{подг}}$ ($Q^{n+1} = D_{\text{подг}}$). На основании этого с учетом паспортных данных ТМ2 на рис. 2.4 и рис. 2.5 построены “предельные” диаграммы DC – триггера соответственно при записи нуля и единицы (на диаграммах показаны “предельно – минимальные” в триггере $t_{\text{предуст}} = 0$ и $t_{\text{выд}} = 0$).

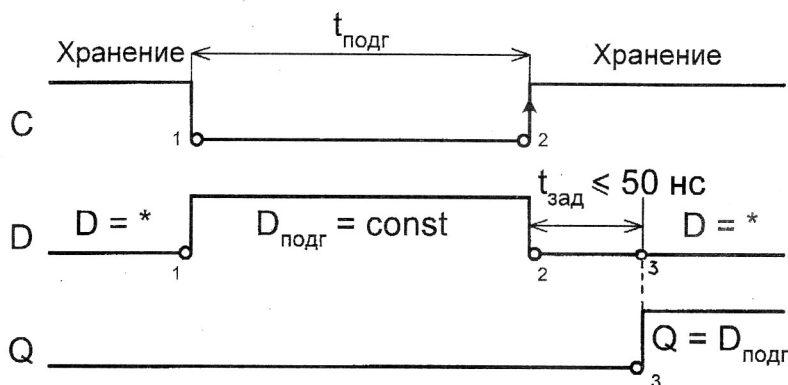


Рис. 2.4. Требуемые временные диаграммы на информационных выводах ТМ2 при записи единицы ($Q := 1$)

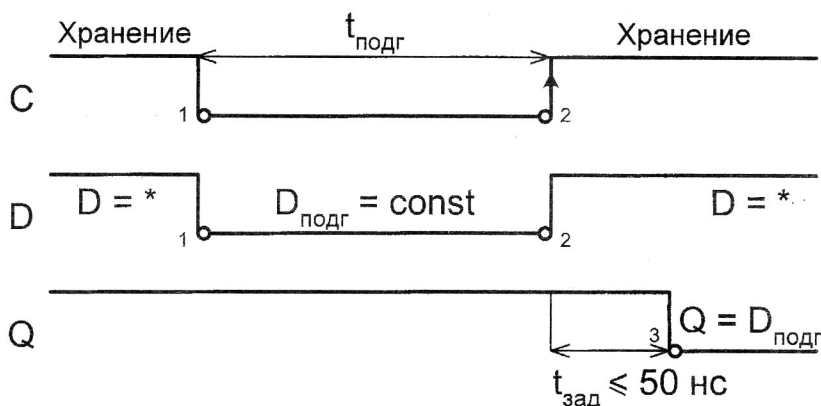


Рис. 2.5. Требуемые временные диаграммы на информационных выводах ТМ2 при записи нуля ($Q := 0$)

На рис. 2.6 приведены требуемые временные диаграммы активных значений потенциальных сигналов на асинхронных входах ТМ2 (\bar{R} и \bar{S}) при установке триггера по этим входам. При этом в соответствии с техническими условиями на

ТМ2 необходимо учитывать, что по этим входам для надежной работы ТМ2 длительность активных значений \bar{R} и \bar{S} должна быть не менее 50 нс.

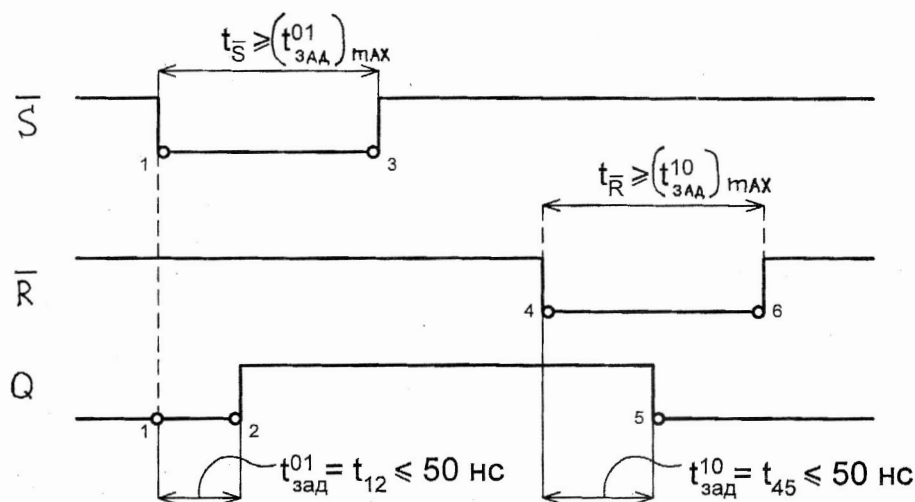


Рис. 2.6. Требуемые временные диаграммы на асинхронных входах (\bar{R} и \bar{S}) ТМ2 при записи «1» и записи «0» ($D = *$, $C = 1$)

Из сказанного вытекает алгоритм работы DC – триггера как цифрового автомата по DC и $\bar{R}\bar{S}$ - входам (табл. 2.1 и табл. 2.2).

Таблица 2.1

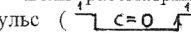

C^t	D^t	Q^t	C^{t+1}	Q^{t+1}	Название режима
1	*	*	1	Q^t	Режим хранения информации
0	*	*	0	Q^t	Режим подготовки к срабатыванию триггера (хранение информации)
0	1 $D_{подг}$	0	1	1	Запись «1» $Q^{t+1} = D_{подг} = 1$ ($C = \uparrow$)
0	0 $D_{подг}$	1	1	0	Запись «0» $Q^{t+1} = D_{подг} = 0$ ($C = \uparrow$)
0	1 $D_{подг}$	1	1	1	Динамическое хранение информации $Q^{t+1} = Q^t = D_{подг} = 1$ ($C = \uparrow$)
0	0 $D_{подг}$	0	1	0	Динамическое хранение информации $Q^{t+1} = Q^t = D_{подг} = 0$ ($C = \uparrow$)



Таблица 2.2

\bar{R}^t	\bar{S}^t	Q^t	Q^{t+1}	Название режима
0	0	0	*	Запрещенное состояние (в состоянии "0")
0	1	0	0	Установка (хранение) в "0"
1	0	0	1	Установка в "1"
1	1	0	0	Хранение информации (нуля)
0	0	1	*	Запрещенное состояние (в состоянии "1")
0	1	1	0	Установка в "0"
1	0	1	1	Установка (хранение) "1"
1	1	1	1	Хранение информации (единицы)

Запись информации в DC – триггер по информационным входам происходит по фронту $C^t C^{t+1} = 01$ ($0(t) \rightarrow 1(t+1)$). При этом $C^{t+1} = 1$ соответствует уровню С – входа, при котором триггер после срабатывания (по фронту \uparrow) находится в режиме хранения записанной информации. Для корректной записи информации в триггер ТМ2 на D – входе триггера требуемый уровень (0 или 1) должен устанавливаться обязательно ранее активного фронта С – входа (\uparrow). При этом опережение сигнала D – входа активного фронта на С – входе (\uparrow) должно быть больше или равно $t_{\text{подг}}$ триггера ($t_{\text{подг}}^{\text{TM2}} \geq 50 \text{ нс}$). Другими словами, ранее активного фронта на С – входе (\uparrow), то есть в режиме подготовки триггера (при $C = 0$), требуемое значение D – входа должно удерживаться неизменным хотя бы в течение отрезка времени $t_{\text{подг}}$ триггера.

Для сокращения длительности такта записи информации в триггер длительность сигнала $C_{\text{подг}} = 0$ стремятся сократить до минимального значения, ограниченное требуемым временем $t_{\text{подг}}$ триггера. Следовательно, в оптимальном случае в такте записи информации в триггер длительность нулевого сигнала (длительность нуля) на С – входе триггера должна равняться $t_{\text{подг}}$. Для правильной работы триггера в течение всего этого отрезка времени на D – входе необходимо удерживать требуемое и неизменное значение сигнала, в том числе обеспечивать отсутствие помех на D – входе.

Если рассматривать сигнал $C = 0$ в режиме подготовки как "отрицательный" импульс () алгоритм работы DC – триггера можно сформулировать следующим образом. Для правильной работы триггера длительность отрицательного импульса на С – входе должна соответствовать требуемому $t_{\text{подг}}$ триггера. В течение всего времени действия этого отрицательного импульса на D – входе триггера необходимо удерживать неизменным требуемый уровень сигнала, в том числе отсутствие кратковременных помех. Тогда по заднему фронту отрицательного импульса на С – входе () DC – триггер надежно будет устанавливаться в требуемое состояние.

В качестве примера на рис. 2.7 показана реализация триггера ошибки QERR (рис. 2.1) на ТМ2. Запись нуля по DC – входам осуществляется по заднему фронту (\downarrow) сигнала GOA. Подготовка триггера к записи нуля осуществляется отрицательным импульсом () на С – входе (рис. 2.8). Поэтому отрезок времени ($2' - 3'$) должен быть не менее $t_{\text{подг}}^{\text{TM2}} = 50 \text{ нс}$. В связи с этим длительность импульса GOA (), формируемого схемой И – НЕ, должна быть больше $t_{\text{подг}}^{\text{TM2}}$ на время срабатывания

схемы И-НЕ. Следовательно, $t_{2-3} \geq t_{\text{подл}}^{\text{TM2}} + t_{\text{зад}}^{\text{И-НЕ}} = 50 + 20 = 70 \text{ нс}$, где $t_{\text{зад}}^{\text{И-НЕ}}$ - задержка схемы И-НЕ.

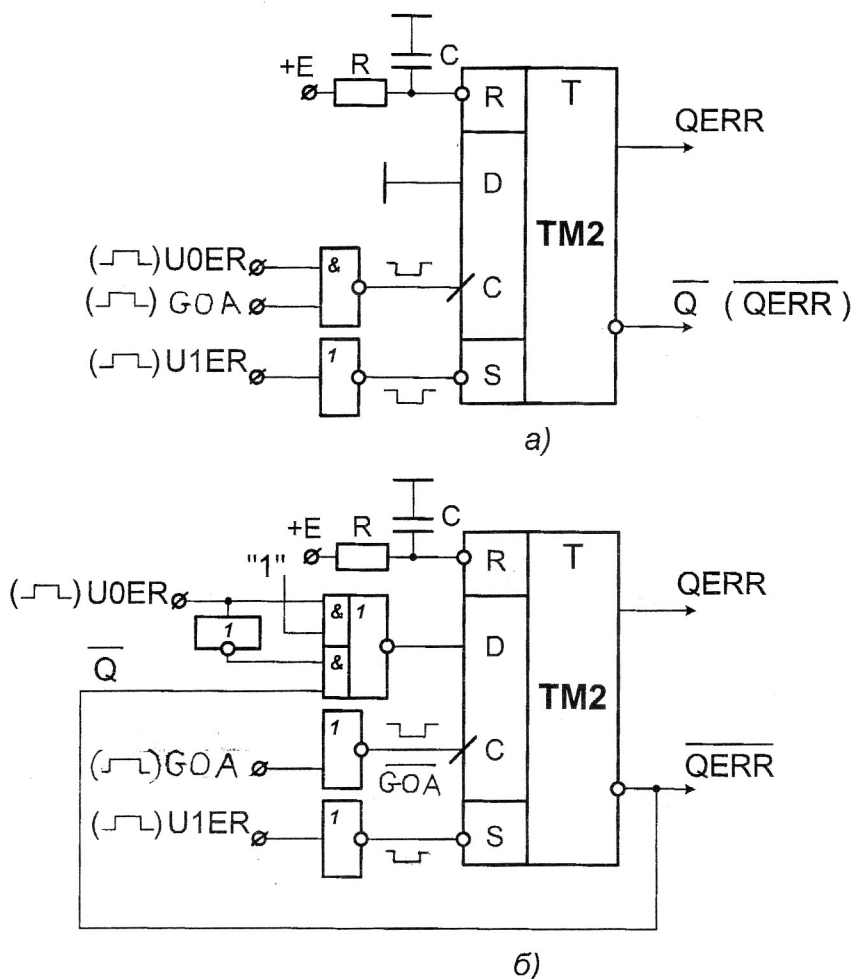


Рис. 2.7. ФС управления триггером TERR (рис. 2.1) с управляемой (а) и неуправляемой (б) синхронизацией

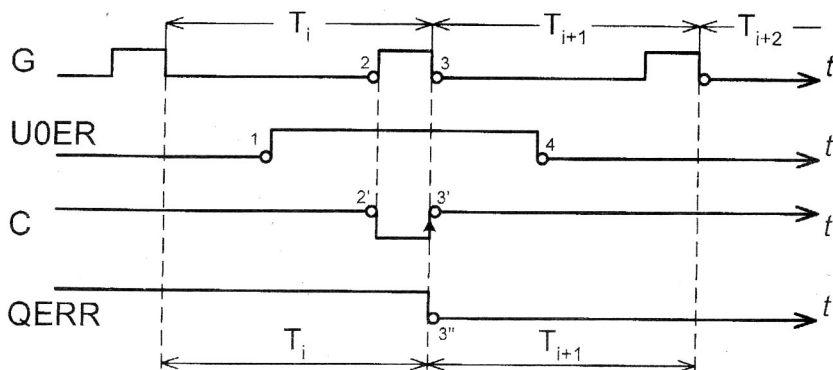


Рис. 2.8. Временные диаграммы записи «0» в QERR (рис. 2.1) по DC-входам (3' начинается не ранее 3, а 3'' - не ранее 3')

Управляющий сигнал UOER должен быть установлен обязательно ранее t_2 , хотя бы на длительность его переднего фронта (Δ). Следовательно, для надежной работы схемы необходимо обеспечить

$$t_{12} \geq t_{\text{фронта}}^{\text{UOER}} \approx t_{\text{зад}}^{\text{И-НЕ}} = 20 \text{ нс.}$$

Задний фронт UOER (t_4) во избежание “гонок” с сигналом GOA не должен накладываться на задний фронт сигнала \bar{C} (t_3). Поэтому в схеме должно быть обеспечено

$$t_4 \geq t_3 + t_{\text{зад}}^{\text{И-НЕ}} + t_{\text{фронта}}^{\bar{C}} = t_3 + 20 + 20 = (t_3 + 40).$$

Следовательно, общая длительность сигнала UOER должна составлять

$$t_{14} \geq t_{(1-2)} + t_{(2-3)} + t_{(3-3')} + t_{(3')-(4)} = 20 + 70 + 20 + 20 = 130 \text{ нс.}$$

Максимальная задержка выходного сигнала TM2 относительно переднего фронта сигнала GOA (Δ) составит (рис. 2.7,а)

$$t_{(3''-2)} = t_{(2-3)} + t_{\text{зад}}^{\text{И-НЕ}} + t_{\text{зад}}^{\text{TM2}} = 70 + 20 + 50 = 140 \text{ нс.}$$

Следовательно, опрос сигнала QERR на входе YA должен всегда начинаться не ранее 140 нс после начала синхросигнала GOA (Δ). Управляющий сигнал UOER в YA должен начинаться ранее GOA на 20 нс и заканчиваться не ранее 40 нс после окончания синхросигнала GOA (Δ). Важно подчеркнуть, что новое состояние триггера устанавливается только в следующем такте T_{i+1} , которые отсчитываются по активному фронту сигнала на С-входе (\uparrow).

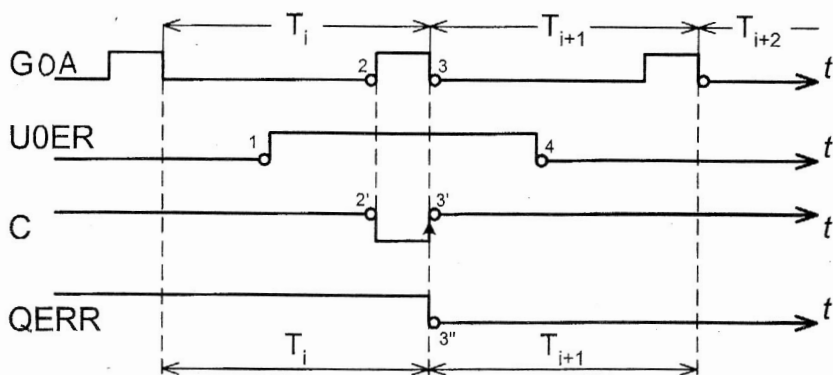


Рис. 2.9. Временные диаграммы записи нуля по DC-входам TM2 при «управляемом» D-входе и «неуправляемом» C-входе (рис. 2.7, б)

При использовании неуправляемой синхронизации запись нуля по DC-входам TM2 осуществляется при использовании схемы с управляемым D-входом (рис. 2.7,б). Временные диаграммы записи нуля в TM2 по DC-входам в этом случае показаны на рис. 2.9. В схеме в каждом такте на C-входе формируется активный фронт записи информации по D-входу (\uparrow). При этом на D-входе в каждом такте сигналом U0ER или $\overline{U0ER}$ коммутатором И-ИЛИ-НЕ формируется либо сигнал нуля ($D = 0$), либо текущее состояние триггера ($D = Q^n$), значение которых и записывается в триггер по активному фронту сигнала C (\uparrow). В соответствии с паспортом TM2 для надежной его работы при соблюдении максимального быстродействия схемы в схеме необходимо обеспечить

$$t_{(2'-3')} = t_{\text{подг}}^{\text{TM2}} = 50 \text{ нс.}$$

Следовательно, длительность «положительных» импульсов GOA на входе инвертора должна составлять

$$t_{(2-3)} = t_{(2'-3')} + t_{\text{зад}}^{\text{И-НЕ}} = 50 + 20 = 70 \text{ нс.}$$

Сигнал $D = 0$ должен формироваться не позже $t_{2'}$ (в худшем случае равно t_2). В связи с этим U0ER должны формировать ранее t_2 на время переключения коммутатора И-ИЛИ-НЕ. Следовательно, необходимо, чтобы

$$t_{(1-2)} \geq t_{\text{зад}}^{\text{И-ИЛИ-НЕ}} = 20 \text{ нс.}$$

Новое состояние триггера в худшем случае будет формироваться после $t_{(3')}$ в худшем случае с задержкой, равной времени срабатывания TM2. Следовательно,

$$t_{3''} = t_2 + t_{\text{зад}}^{\text{И-НЕ}} + t_{\text{подг}}^{\text{TM2}} + t_{\text{зад}}^{\text{TM2}} = t_2 + 20 + 50 + 50 = (t_2 + 120) \text{ нс.}$$

Сигнал U0ER может заканчиваться позже или одновременно с сигналом $\overline{C} = 0$, то есть в момент $t_{(3')}$. После окончания сигнала U0ER ($\overline{U0ER} = 1$) на входе

(в момент t_4) будет установлено новое состояние триггера $Q = 0$, которое далее в каждом такте будет поддерживаться в неизменном состоянии. Подчеркнем, что новое состояние триггера QERR устанавливается и может считываться только в следующем такте (T_{i+1}) действия активного фронта (\uparrow) на С-входе. В связи с этим в микропрограмме "опрос" триггера управляющим автоматом (УА) всегда необходимо проводить только в следующем такте синхросигнала GOA, отсчитываемого после активного фронта сигнала на С-входе (\uparrow).

Установка триггера QERR в единичное состояние осуществляется по асинхронному \bar{S} - входу (рис. 2.10). При этом длительность "отрицательного" импульса $\bar{U1ER}$, очевидно, должна выбираться из условия:

$$t_{(1'-2')} \geq t_{\text{зад}}^{\text{TM2}} = 50 \text{ нс.}$$

Очевидно, что в "худшем" случае $t_2' = t_2$. Поэтому в целом длительность сигнала $\bar{U1ER}$ должна выбираться из соотношения:

$$t_{(1-2)} \geq t_{\text{зад}}^{\text{HE}} + t_{\text{зад}}^{\text{TM2}} = 20 + 50 = 70 \text{ нс.}$$

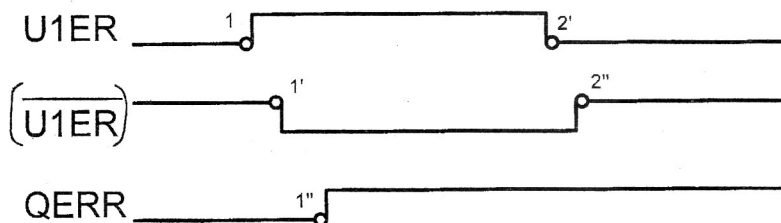


Рис. 2.10. Временные диаграммы TM2 при установке триггера по асинхронному \bar{S} -входу

После включения питания на устройство, триггер QERR устанавливается в исходное нулевое состояние ($Q = 0$) по инверсному асинхронному входу \bar{R} RC-цепочкой (рис. 2.11). Заряд емкости в RC-цепочке в схеме происходит по экспоненциальному закону

$$U_R = 4,5 \cdot (1 - e^{-t/T}),$$

где $T = (RC)$ - постоянная времени RC-цепочки.

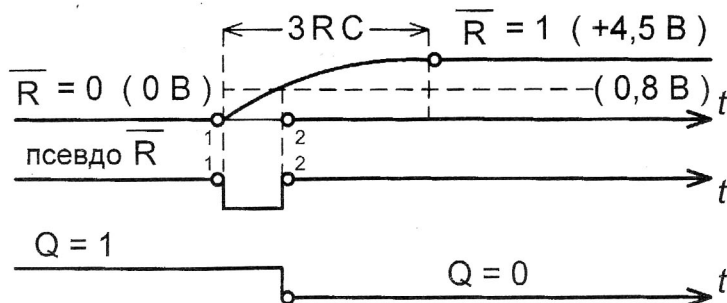


Рис. 2.11. Временные диаграммы на \bar{R} -входе QERR при включении питания

Постоянная времени RC – цепочки выбирается таким образом, чтобы длительность “отрицательного” импульса UR на \bar{R} - входе (t_{1-2}) была больше или равна $t_{зад}^{TM2}$, то есть

$$t_{1-2} \geq t_{зад}^{TM2} = 50 \text{ нс.}$$

При этом необходимо учитывать, что сопротивление R выбирается в RC – цепочке из условия обеспечения в установившемся режиме (после окончания заряда C) в “худшем” случае единицы на \bar{R} - входе, то есть напряжения $(2,4 \div 4,5) \text{ В}$. При этом необходимо учитывать минимальное значение тока по \bar{R} - входу $TM2$ при единичном уровне сигнала, максимальный разброс значений выбранного сопротивления и максимально возможные колебания уровня питающего напряжения.

Для построения РА (рис. 2.12) рассмотрим синтез произвольного разряда этого регистра на DC – триггерах $TM2$, например $QA(5)$. При этом используем для выполнения микроопераций (МО) в РА только информационные DC – входы, по которым в PQA (в DC – триггера) принимается информация, выставляемая на выходе коммутатора АК управляющими сигналами UKA и ULA (табл. 2.3, а, б). При этом первый вариант коммутатора KA1 (табл. 2.3,а) при отсутствии управляющих сигналов ($UKA = 0$ и $ULA = 0$) “пропускает” состояние на вход триггеров РА PQA, то есть $QA(7-1)$. Поэтому в этом случае каждый триггер РА может быть построен по наиболее простой схеме с неуправляемой синхронизацией (рис. 2.13, а). Второй вариант коммутатора KA2 (табл. 2.3, б) при отсутствии управляющих сигналов ($UKA = 0$ и $ULA = 0$) формирует нулевое состояние шины АК. Поэтому при реализации КА по алгоритму KA2 (табл. 2.3, б) PQA реализуется только по схеме с управляемой синхронизацией (рис. 2.13, б).

Таблица 2.3, а

KA1					
МО	AK(7)	AK(6)	AK(1)	AK(0)
UKA	K(7)	K(6)	K(1)	K(0)
ULA	Q(6)	Q(5)	Q(0)	0
UKA = ULA = 0	Q(7)	Q(6)	Q(1)	Q(0)

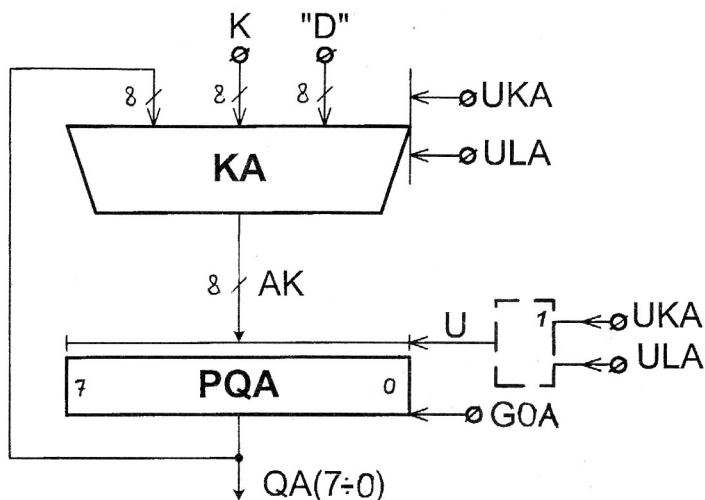


Рис. 2.12. Состав и функциональная схема РА (рис.2.1)

Таблица 2.3, б

КА2					
МО	AK(7)	AK(6)	AK(1)	AK(0)
UKA	K(7)	K(6)	K(1)	K(0)
ULA	Q(6)	Q(5)	Q(0)	0
UKA = ULA = 0	0	0	0	0

Расчет параметров синхросигнала GOA (\downarrow) и временных параметров управляющих сигналов осуществляется по методике, которая была рассмотрена при разработке триггера QERR с учетом конкретной реализации коммутатора КА. При этом выходы РА, в том числе QA(7), принимают новое значение по микрокомандам UKA или ULA только в следующем такте относительно активного фронта GOA (\downarrow) или, что тоже самое, активного фронта сигнала GOA (\uparrow). Следовательно, "отклик" РА на воздействие управляющего автомата (УА) запаздывает на один такт относительно активного фронта синхросигнала на С-входах (\uparrow) (или относительно "отрицательного" периода на GOA (\downarrow)) регистра операционного автомата (ОА) - регистра РА (рис. 2.12).

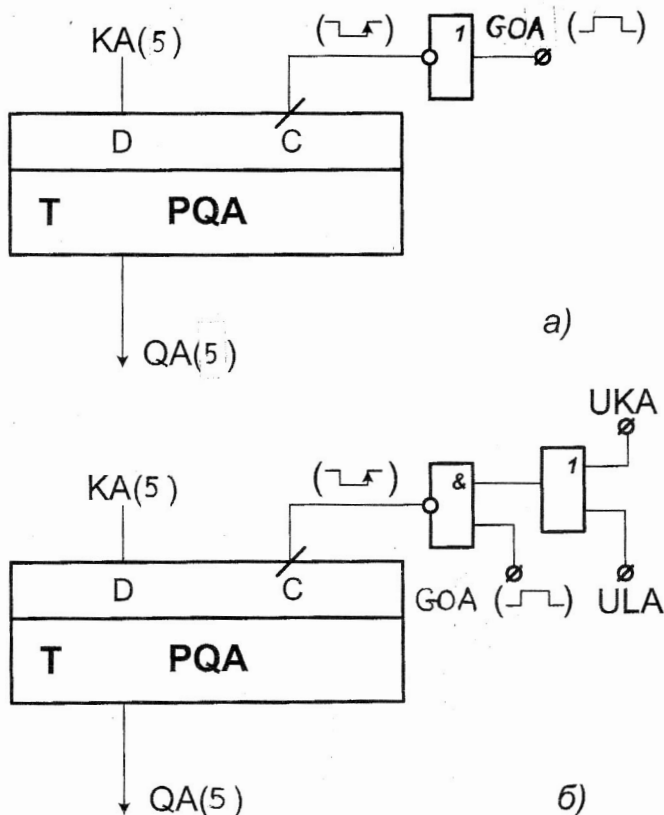


Рис. 2.13. ФС PQA (рис.2.12) при реализации КА соответственно по алгоритму КА1 (табл. 2.3, а) и по алгоритму КА2 (табл. 2.3, б)

Для реализации СТН (рис. 2.1) воспользуемся Т-триггером со срабатыванием по заднему фронту отрицательного импульса (\uparrow) на Т-входе (рис. 2.14). Отметим, что после окончания фазы подготовки Т-триггера в такте (t) следующий (t+1)-ый такт на Т-входе триггера обязательно начинается (в момент времени t_3) с установления неактивного единичного состояния Т-входа ($T=1$). В соответствии с этим в таблице переходов Т-триггера (табл. 2.4) T^{t+1} принят (в любом состоянии триггера) равным единице. Сигналы T^t , Q^t , D^t и C^t обозначают состояние этих переменных в фазе подготовки такта (t).

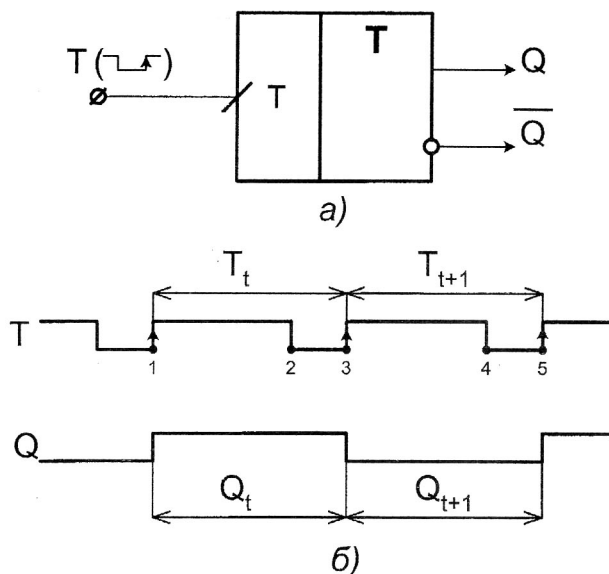
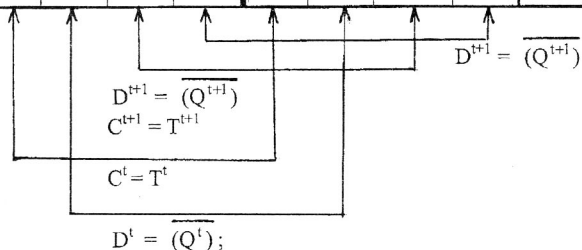


Рис. 2.14. Условное графическое обозначение (УГО) Т-триггера со срабатыванием по заднему фронту «отрицательного» импульса на Т-входе (а) и временные диаграммы работы Т-триггера в счётном режиме (б)

Таблица 2.4

T^t	Q^t	T^{t+1}	Q^{t+1}	C^t	D^t	C^{t+1}	D^{t+1}	Режимы работы триггера
0	0	1	1	0	1	1	*(1)	Переключение ($0 \rightarrow 1$)
0	1	1	0	0	0	1	*(0)	Переключение ($1 \rightarrow 0$)
1	0	1	0	1	*(1)	1	*(0)	Хранение информации ($0 \rightarrow 0$)
1	1	1	1	1	*(0)	1	*(1)	Хранение информации ($1 \rightarrow 1$)



При оптимальном кодировании безразличных состояний D – входа (табл. 2.4) для реализации счетного режима в DC – триггере имеем следующие функции

возбуждения: $C^t = T^t$; $C^{t+1} = T^{t+1}$; $D^t = \overline{(Q^t)}$; $D^{t+1} = \overline{(Q^{t+1})}$. Таким образом, окончательно имеем: $C = T$; $D = \overline{Q}$.

В соответствии с этим схема Т-триггера на DC-триггере будет иметь вид, показанный на рис. 2.15.

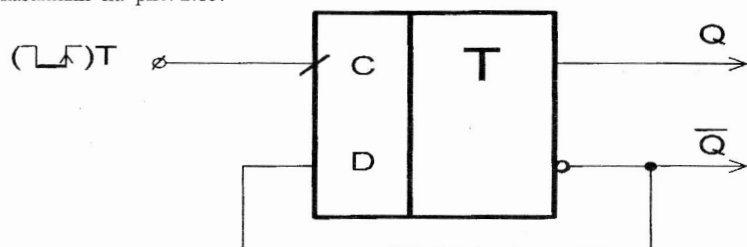


Рис. 2.15. ФС Т-триггера со срабатыванием по заднему фронту отрицательного импульса (\uparrow) на DC-триггере

Таблица переходов (табл. 2.5) СТН (рис. 2.1) на разработанном Т-триггере с учетом значений синхросигнала GOA и состояния управляющего сигнала разрешения счета UP составляется таким образом, чтобы в фазе подготовки на Т-входе переключаемого триггера формировался активный уровень сигнала ($T_1^t = 0$). Если на каком-либо переходе СТН какой-то триггер остается в режиме хранения, Т-вход этого триггера в фазе подготовки и в следующем такте остается на единичном уровне. В соответствии с картами Карно (рис. 2.16) (для построенной таблицы переходов СТН), имеем следующие функции возбуждения Т-триггеров счетчика:

$$T_1 = \overline{GOA} + \overline{UP} = \overline{GOA(UP)}; \quad T_2 = \overline{GOA} + \overline{UP} + \overline{Q_1} = \overline{GOA(UP)Q_1};$$

$$T_3 = \overline{GOA} + \overline{UP} + \overline{Q_2} + \overline{Q_1} = \overline{GOA(UP)Q_2Q_1}.$$

Таблица 2.5

GOA ^t	UP ^t	Q ₃ ^t	Q ₂ ^t	Q ₁ ^t	Q ₃ ^{t+1}	Q ₂ ^{t+1}	Q ₁ ^{t+1}	GOA ^{t+1}	T ₃ ^t	T ₂ ^t	T ₁ ^t	T ₃ ^{t+1}	T ₂ ^{t+1}	T ₁ ^{t+1}	Режим работы
0	*	*	*	*	Q ₃ ^t	Q ₂ ^t	Q ₁ ^t	0	1	1	1	1	1	1	Хранение
*	0	*	*	*	Q ₃ ^t	Q ₂ ^t	Q ₁ ^t	*	1	1	1	1	1	1	Хранение
1	1	0	0	0	0	0	1	0	1	1	0	1	1	1	Счетный
1	1	0	0	1	0	1	0	0	1	0	0	1	1	1	Счетный
1	1	0	1	0	0	1	1	0	1	1	0	1	1	1	Счетный
1	1	0	1	1	1	0	0	0	0	0	0	1	1	1	Счетный
1	1	1	0	0	1	0	1	0	1	1	0	1	1	1	Счетный
1	1	1	0	1	1	1	0	0	1	0	0	1	1	1	Счетный
1	1	1	1	0	1	1	1	0	1	1	0	1	1	1	Счетный
1	1	1	1	1	0	0	0	0	0	0	0	1	1	1	Счетный

		Q ₃ Q ₂ Q ₁							
GOA (UP)		0 0 0	0 0 1	0 1 1	0 1 0	1 1 0	1 1 1	1 0 1	1 0 0
00		1	1	1	1	1	1	1	1
01		1	1	1	1	1	1	1	1
11		0	0	0	0	0	0	0	0
10		1	1	1	1	1	1	1	1

T₁

		Q ₃ Q ₂ Q ₁							
GOA (UP)		0 0 0	0 0 1	0 1 1	0 1 0	1 1 0	1 1 1	1 0 1	1 0 0
00		1	1	1	1	1	1	1	1
01		1	1	1	1	1	1	1	1
11		1	0	0	1	1	0	0	1
10		1	1	1	1	1	1	1	1

T₂

		Q ₃ Q ₂ Q ₁							
GOA (UP)		0 0 0	0 0 1	0 1 1	0 1 0	1 1 0	1 1 1	1 0 1	1 0 0
00		1	1	1	1	1	1	1	1
01		1	1	1	1	1	1	1	1
11		1	1	0	1	1	0	1	1
10		1	1	1	1	1	1	1	1

T₃

Рис. 2.16 Карты Карно T-входов СТН на T-триггерах

При $GOA^{t+1} = 0$ полученные функции возбуждения T_3 , T_2 и T_1 устанавливаются в единичное состояние, что автоматически обеспечивает условие (табл. 2.5) $T_3^{t+1} = T_2^{t+1} = T_1^{t+1} = 1$. Функциональная схема СТН приведена на рис. 2.17. Временная диаграмма работы СТН (рис. 2.17) при переключении триггеров из состояния 101 (5) в состояние 110 (6) приведена на рис. 2.18. При этом новое состояние СТН ($Q_3 Q_2 Q_1 = 110$) устанавливается только в следующем такте

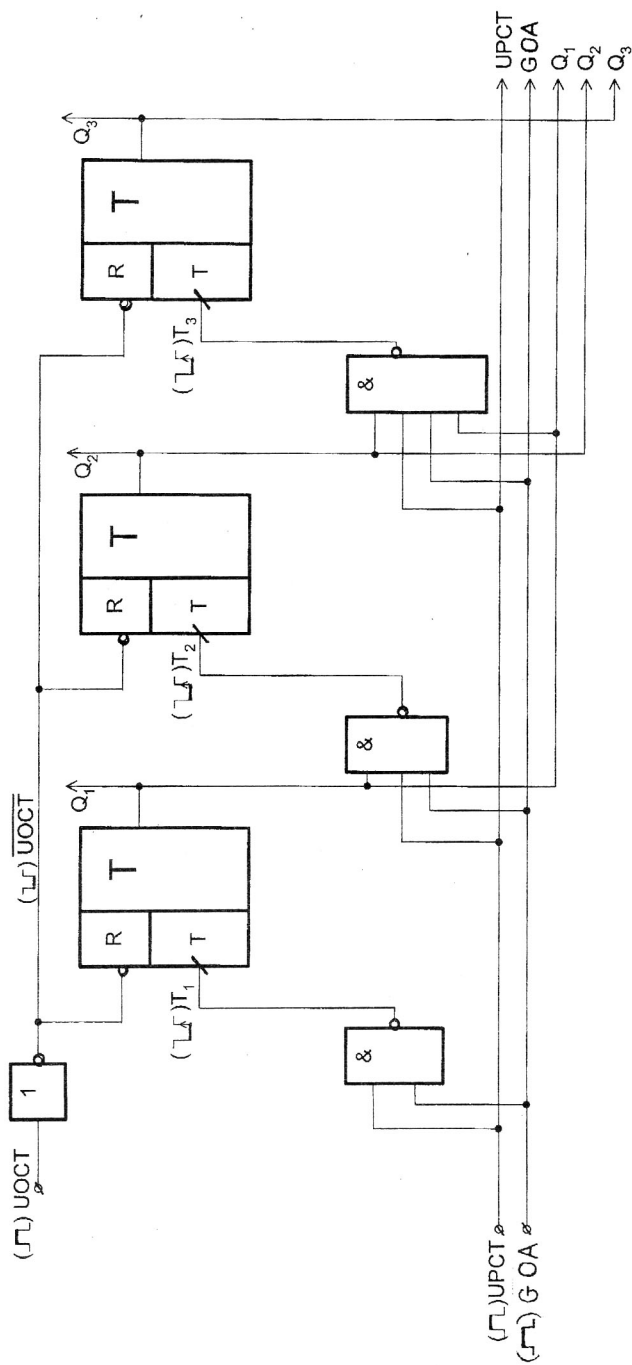


Рис. 2.17. ФРС СТН (QHA=Q₃Q₂Q₁)

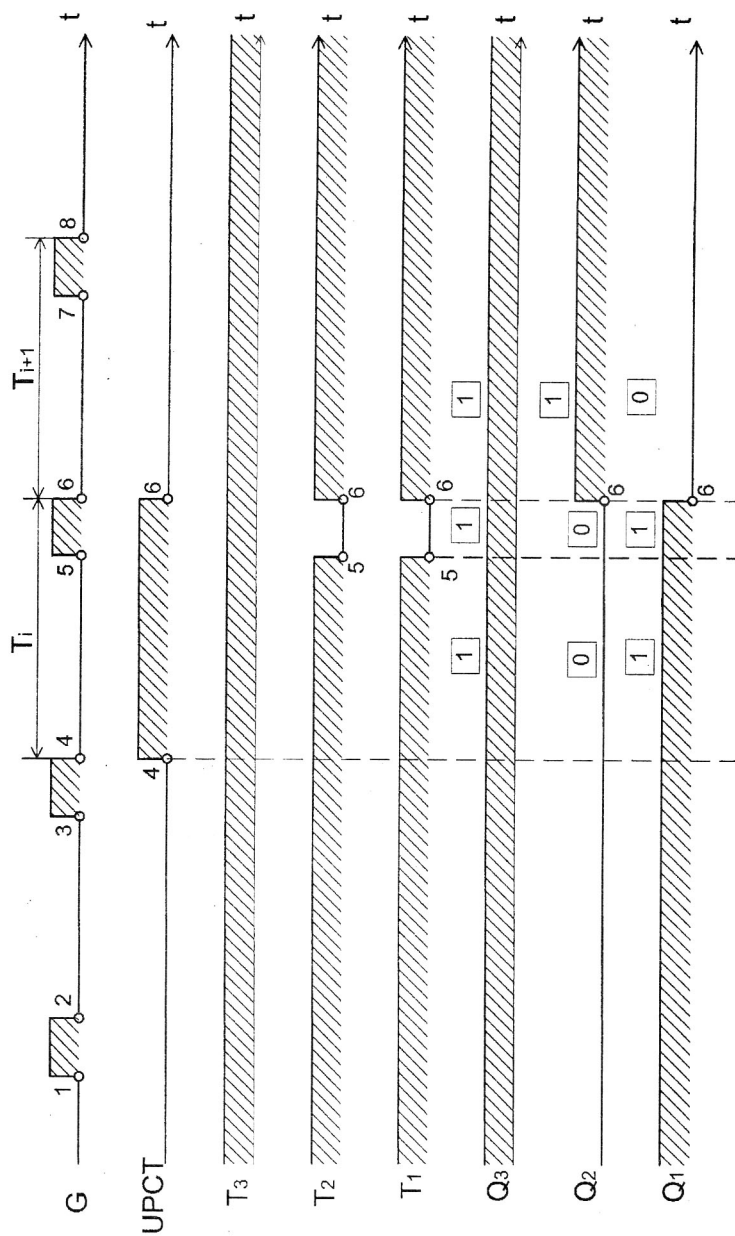


Рис. 2.18. Временные диаграммы СТН (рис.2.17) при переключении счетчика в такте $t_{(4)}(6)$ ($5 \rightarrow 6$)

$t_{(6)} - (8)$. Поэтому анализ нового состояния СТН после добавления к СТН единицы (+1) в такте T_i необходимо производить только в следующем такте синхросигнала GOA (в такте T_{i+1}).

Для управления работой блока нормализации (рис. 2.1) используем управляющий автомат Мура с жесткой логикой (рис. 2.19). Временные диаграммы входных сигналов YA (ZA, QA(7)) и выходных микрокоманд (UKA, ULA, ...) при использовании однофазной синхронизации OA и YA ($GUA = GOA$) показаны на рис. 2.20. В этом случае новое состояние QA(7) устанавливается в следующем такте относительно как синхросигнала GOA, так и синхросигнала GYA. Поэтому в граф-схеме работы YA (ГСУА) после сдвига PA его выходной сигнал QA(7) должен контролироваться только в следующем такте. Для реализации этого условия в ГСУА (рис. 2.21) введена пустая операторная вершина (\emptyset). Из таблицы переходов YA (табл. 2.6) при "естественном" кодировании состояний YA следует:

$$D1 = a_0 (\text{Пуск}) + a_2 (\overline{ZA} \overline{QA(7)}) + a_4 (\overline{QA(7)}) + a_2 ZA;$$

$$D2 = a_1 + a_2 (\overline{ZA} \overline{QA(7)}) + a_4 (\overline{QA(7)});$$

$$D3 = a_3 + a_2 ZA;$$

$$UKA = a_1; UOCT = a_1; UOER = a_1; ULA = a_3; UPCT = a_3; UIER = a_2.$$

Таблица 2.6

Исходное состояние YA	Следующее состояние YA	Входные сигналы YA	Функции возбуждения YA	Выходные сигналы YA
$a_0 (0 0 0)$	$a_1 (0 0 1)$	Пуск	$D1 (D3 = D2 = 0)$	-
$a_1 (0 0 1)$	$a_2 (0 1 0)$	-	$D2$	UKA, UOCT, UOER
$a_2 (0 1 0)$	$a_3 (0 1 1)$	$\overline{ZA} \overline{QA(7)}$	$D2, D1$	-
$a_3 (0 1 1)$	$a_4 (1 0 0)$	-	$D3$	ULA, UPCT
$a_4 (1 0 0)$	$a_3 (0 1 1)$	$\overline{QA(7)}$	$D2, D1$	-
$a_4 (1 0 0)$	$a_0 (0 0 0)$	$QA(7)$	-	-
$a_2 (0 1 0)$	$a_5 (1 0 1)$	ZA	$D3, D1$	UIER
$a_5 (1 0 1)$	$a_0 (0 0 0)$	-	-	-
$a_2 (0 1 0)$	$a_0 (0 0 0)$	$ZA \cdot \overline{QA(7)}$	-	-

Очевидно, что для реализации этих формул в YA достаточно одноступенчатых логических элементов средней степени интеграции (СИС). С учетом этого условия параметры синхросигнала DC – триггеров YA (рис. 2.20) следует назначить следующим образом:

$$t_{(2-3)}^{YA} \geq t_{зад}^{HE} + t_{подг}^{TM2} = 20 + 50 = 70 \text{ нс.}$$

$$t_{(1-2)}^{YA} |_{a_i \rightarrow a_i} \geq t_{зад}^{TM2} + t_{зад}^{DC} + t_{зад}^{\Phi FB} = 50 + 20 + 20 = 90 \text{ нс.}$$

$$t_{(1-2)}^{(OA-YA)} |_{QA(7) \rightarrow YA} \geq t_{зад}^{PA} + t_{зад}^{\Phi FB} = 50 + 20 = 70 \text{ нс.}$$

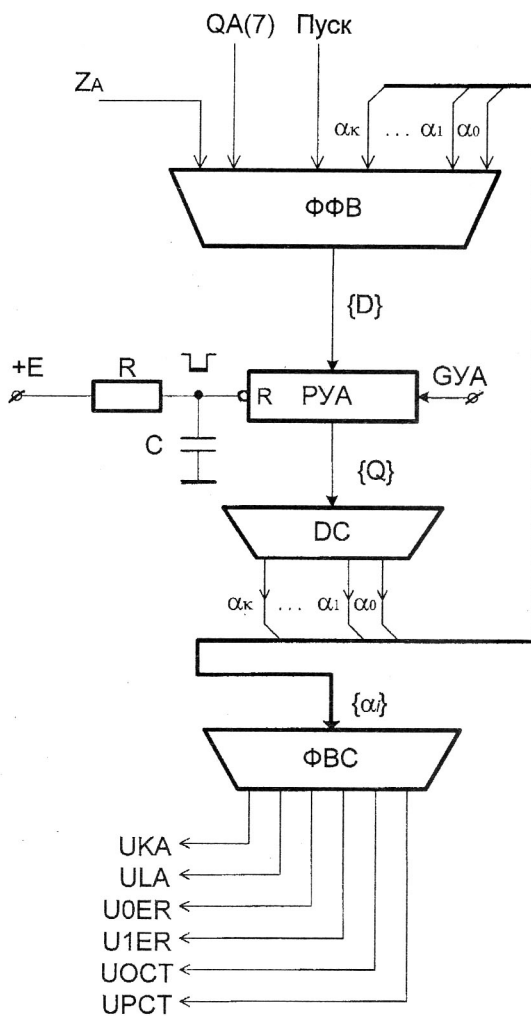


Рис. 2.19. ФС УА блока нормализации РА (рис.2.1)

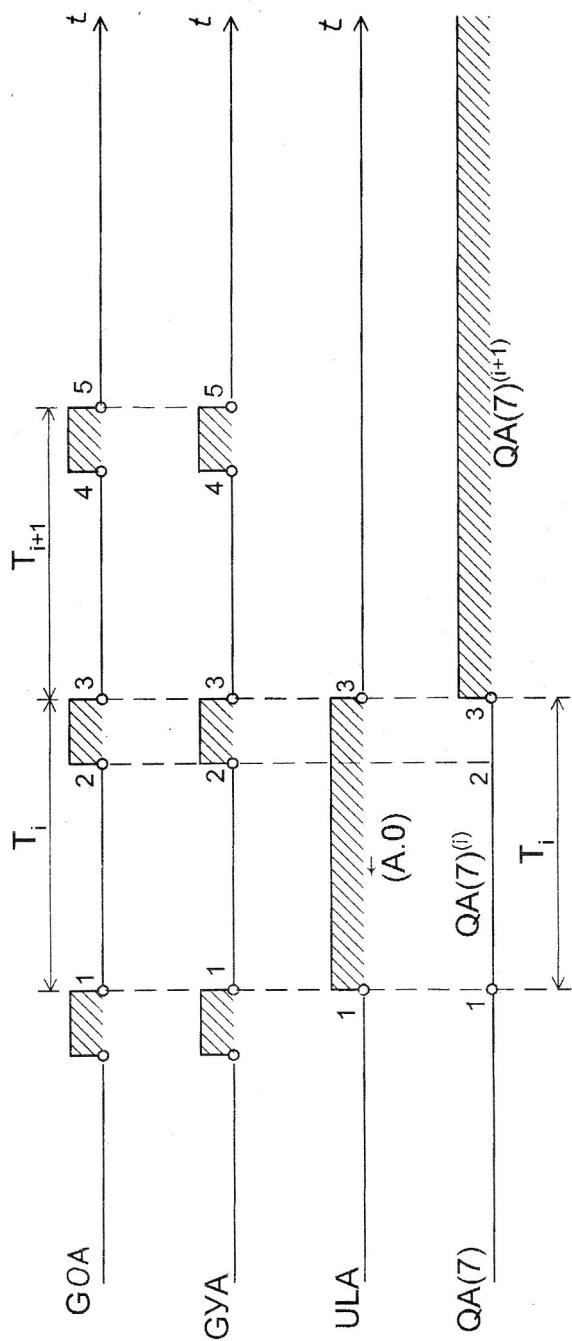


Рис. 2.20. Временные диаграммы УА при использовании
однофазной синхронизации ОА и УА (GYA=GOA)

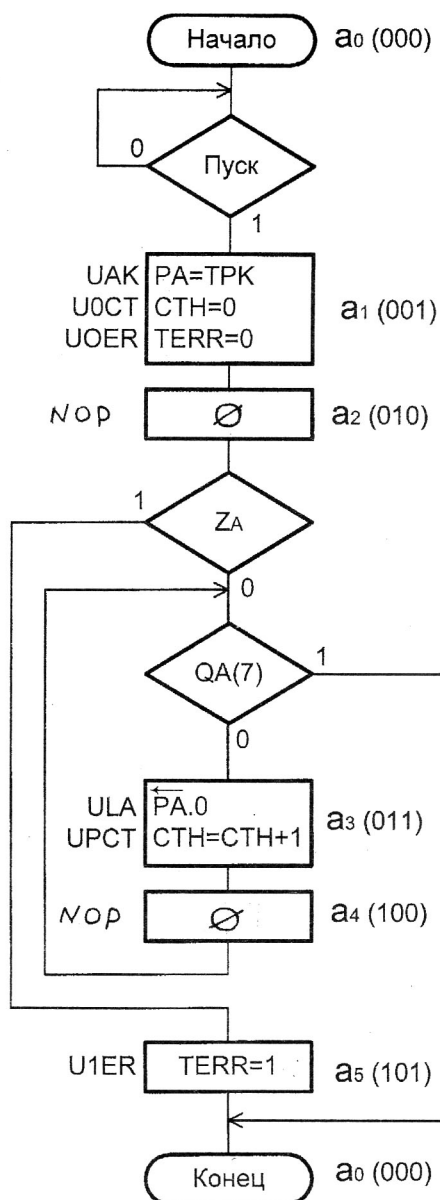


Рис. 2.21. ГС УА при реализации операции нормализации содержимого РА (рис.2.1) и использовании однофазной синхронизации ОА и УА ($G_{YA}=G_{0A}$)

$$t_{(1-2)}^{YA-OA} |_{U_i \rightarrow OA} \geq t_{зад}^{PYA} + t_{зад}^{DC} + t_{зад}^{ФВС} + t_{(1-2)}^{OA} = 50 + 20 + 20 + t_{(1-2)}^{OA},$$

где $t_{(1-2)}^{OA}$ - требуемая максимальная длительность промежутка времени (1 - 2) в управляющих сигналах на входе ОА (рис. 2.1).

Окончательно промежуток времени (1 - 2) выбирается на основании максимального рассчитанного значения. В схеме ОА на рис. 2.12, очевидно, необходимо принять $t_{(1-2)}^{OA} = t_{зад}^{КА}$.

При использовании двухфазной синхронизации в ОА и УА $GVA \neq GOA$ (рис. 2.22). Новое состояние ОА под воздействием управляющего сигнала (УЛА) в этом случае возникает в следующем T_{i+1} такте действия синхросигнала ОА (GOA). Однако относительно такта синхросигнала УА (сигнал GYA) новое состояние QA(7) устанавливается в i -ом такте (в i -ом такте сигнала GYA). Это позволяет в ГСУА контроль нового состояния РА (QA(7)) выполнять в том же i -ом такте, в котором УА вырабатывается микрокоманда (например УЛА). На рис. 2.22 показан вариант, когда управляющий сигнал УЛА формирует в момент t_3 T_i^{YA} новое значение QA(7), значение которого УА может контролировать (до наступления времени подготовки (4 - 5)) в промежутке (3 - 4) этого же i -го такта управляющего автомата. В связи с этим в ГСУА при двухфазной синхронизации нет необходимости после микроопераций вводить "пустые" вершины (рис. 2.23). На практике для этого способа синхронизации параметры синхросигналов DC - триггеров ОА и УА выбираются из условия:

$$t_{(2-3)} = t_{(4-5)} = t_{зад}^{HE} + t_{подг}^{TM2} = 20 + 50 = 70 \text{ нс};$$

$$t_{(1-2)}^{YA-OA} \geq t_{зад}^{PYA} + t_{зад}^{DC} + t_{зад}^{ФВС} + t_{зад}^{КА} = 50 + 20 + 20 + t_{зад}^{КА} = 90 + t_{зад}^{КА};$$

$$t_{(3-4)}^{OA-YA} \geq t_{зад}^{РА} + t_{зад}^{ФФВ} = 50 + 20 = 70 \text{ нс}.$$

На основании этих данных легко рассчитывается период (T) синхроимпульсов GOA и GYA:

$$T = t_{(1-2)} + t_{(2-3)} + t_{(3-4)} + t_{(4-5)}.$$

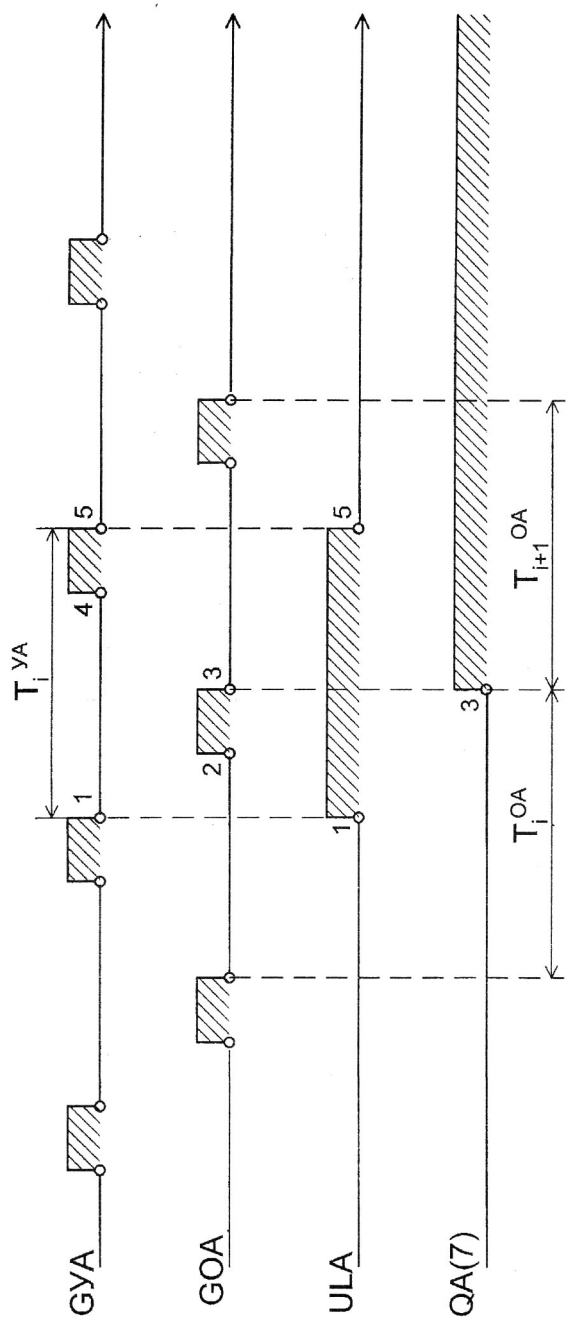


Рис. 2.22. Временные диаграммы O_A и Y_A при двухфазной синхронизации

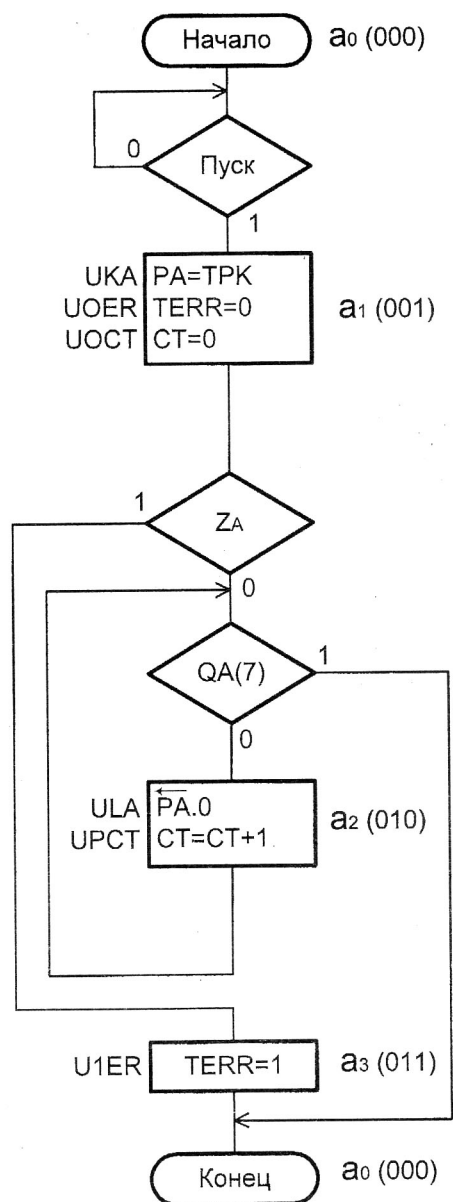


Рис. 2.23. ГАУА операции нормализации РА (рис. 2.1) при двухфазной синхронизации ОА и УА ($GOA \neq GYA$)

2.2. Разработка ОА и УА блока обработки данных (рис. 2.1) на основе триггеров K155TB1

Микросхема K155TB1 относится к классу JK – триггеров с асинхронными $\bar{R}\bar{S}$ - входами для установки триггера в “0” и “1” состояние (рис. 2.24). Временные диаграммы работы триггера представлены на рис. 2.25 – рис. 2.28.

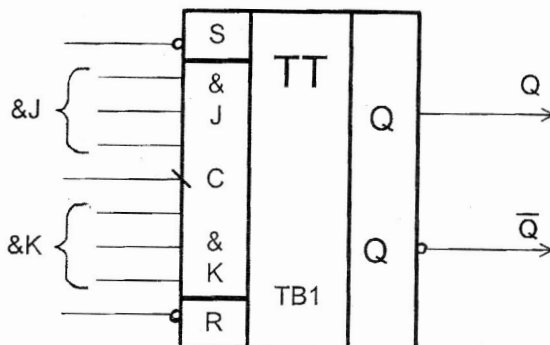


Рис. 2.24. УГО JK – триггера K155TB1 ($\bar{R}\bar{S}$ -асинхронные инверсные входы установки триггера соответственно в единичное и нулевое состояние, JCK – информационные входы триггера)

Асинхронные $\bar{R}\bar{S}$ - входы в триггере являются более приоритетными и активным уровнем для этих входов является нулевой уровень сигнала. При этом, если этот активный уровень $\bar{R}\bar{S}$ - входов рассматривать как отрицательный импульс (рис. 2.24), то алгоритм работы TB1 по этим входам можно сформулировать следующим образом.

Триггер TB1 может быть установлен в нулевое состояние при подаче отрицательного импульса на \bar{R} - вход, который по паспортным данным триггера должен быть не меньше 50 нс. В единичное состояние ($Q = 1$) по асинхронному входу триггер устанавливается отрицательным импульсом длительностью не менее 50 нс на \bar{S} - входе. Единичное состояние $\bar{R}\bar{S}$ - входов в триггере является пассивным. Поэтому при $\bar{R}\bar{S} = 11$ в триггере обеспечивается режим хранения.

По информационным входам JCK – триггер переключается при активном фронте сигнала на C – входе, который соответствует переключению сигнала на C – входе с “1” на “0” (\downarrow). Следовательно, подготовка триггера к записи информации по активному фронту (\downarrow) C – входа осуществляется единичным уровнем на C – входе, предшествующим активному фронту (\downarrow), то есть при $C = 1$ – “положительном” импульсе на C- входе (рис. 2.24).

В течение времени действия этого положительного импульса для предотвращения захвата помех на JK – входах необходимо удерживать требуемые уровни JK – сигналов, в том числе обеспечивать отсутствие кратковременных помех по JK – входам. В связи с этим с целью обеспечения максимальной помехоустойчивости триггера (уменьшения вероятности захвата помех) в течение такта записи информации длительность этапа подготовки триггера и, следовательно, положительного импульса на C – входе необходимо принимать

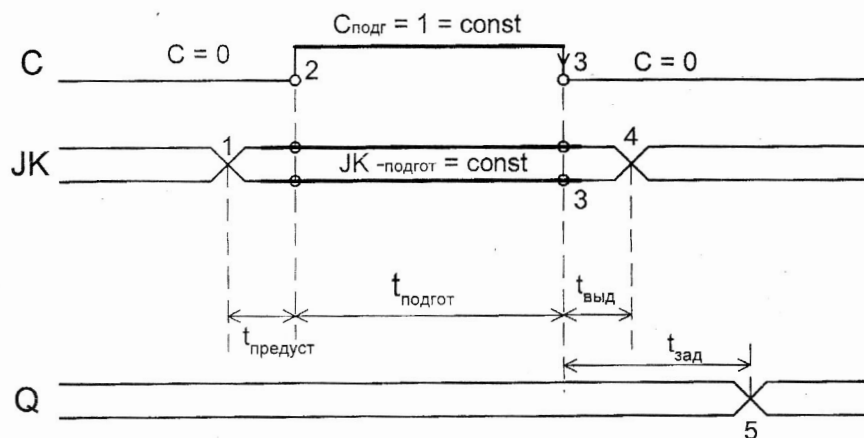


Рис. 2.25. Временные диаграммы JK – триггера при $t_{\text{предуст}} > 0$ и $t_{\text{выд}} > 0$.

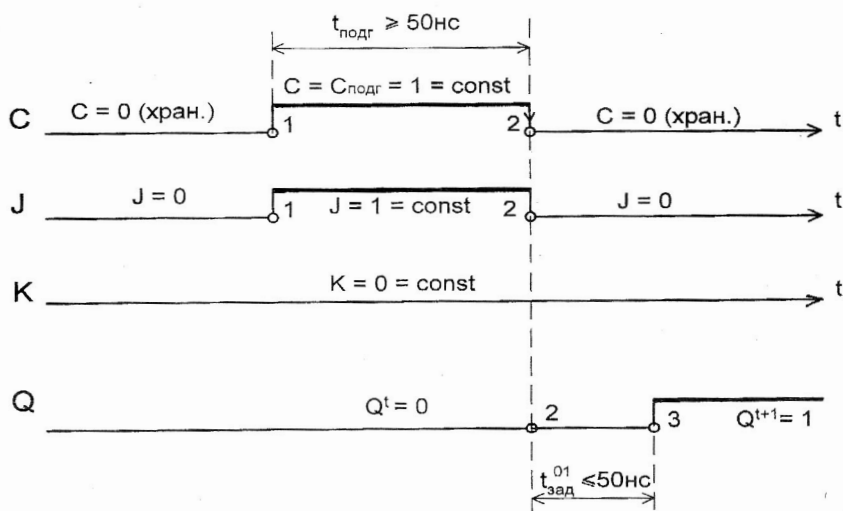


Рис. 2.26. Требуемые временные диаграммы установки JK – триггера ТВ1 в единичное состояние при предельно-минимальных значениях времени предустановки ($t_{\text{предустан}} = 0$) и времени выдержки ($t_{\text{выд}} = 0$), ($t_{\text{зад}}^{01} \leq 50 \text{ нс}$, $t_{\text{подг}} \geq 50 \text{ нс}$, $Q^{t+1} = J_{\text{подг}} \neq 0$; $Q^{t+1} = Q^t$ при $J_{\text{подг}} = 0$ и $K_{\text{подг}} = 0$)

минимально возможным для данного триггера. В соответствии с этими соображениями и паспортными данными ТВ1 длительность сигнала $C = 1$ следует принимать равной не более времени подготовки, то есть 50 нс.

При $C = 0$ JK – триггер закрыт по JK – входам и находится в режиме хранения информации.

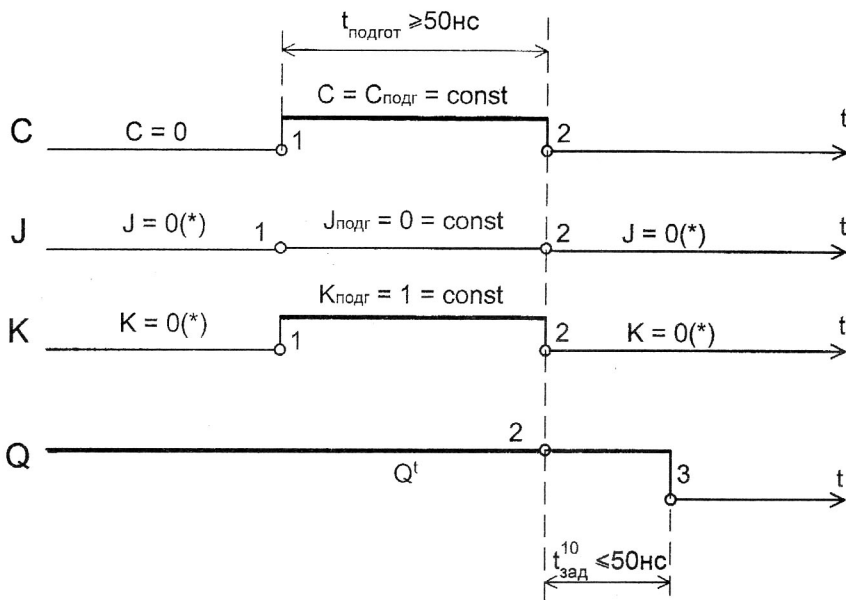


Рис. 2.27. Требуемые временные диаграммы информационных входов JK – триггера ТВ1 при установке в нулевое состояние и предельно – минимальных значениях

$$t_{\text{предуст}} = 0 \text{ и } t_{\text{выд}} = 0, (Q^{t+1} = K_{\text{подг}} = 1 (Q^{t+1} = 0) \text{ при } JK_{\text{подг}} \neq 00)$$

Алгоритм работы триггера ТВ1 как цифрового автомата по JCK – входам с учетом вышеназванных временных ограничений сигналов приведен в табл. 2.7. В таблице показано, что триггер находится в режиме хранения либо при $C = 0$ и $JK = **$, либо при $JK = 00$ и $C = *$. При $C^t C^{t+1} = 11$ триггер находится в режиме подготовки с сохранением выходного сигнала, то есть в режиме хранения. Однако этот режим хранения характеризуется захватом помех, поэтому в практических схемах не используется для обеспечения в триггере режима хранения данных.

При $C^t C^{t+1} = 10$ триггер переключается в состояние, соответствующее JK – входам в течение $t_{\text{подг}}^{\text{триг}}$ (при $C = 1$). Отметим, что при $JK = 11$ активным фронтом $C^t C^{t+1} = 10$ JK – триггер переключается в противоположное состояние (состояние триггера инвертируется или, другими словами, триггер опрокидывается).

Структурная схема РА (рис. 2.1) на ТВ1, очевидно, должна включать коммутатор регистра (КА) и восемь триггеров ТВ1 (рис. 2.29). При этом, если в JK – триггерах ТВ1 используется неуправляемая синхронизация, таблица микроопераций КА (табл. 2.29), очевидно, должна соответствовать табл. 2.8, а схема КА – рис. 2.30. Сигналы на JK – входах формируются в соответствии с формулами:

$$J_i = UKA \cdot TP_i + ULA \cdot QA_{i-1}; \quad K_i = UKA \cdot \overline{TP_i} + ULA \cdot \overline{QA_{i-1}}.$$

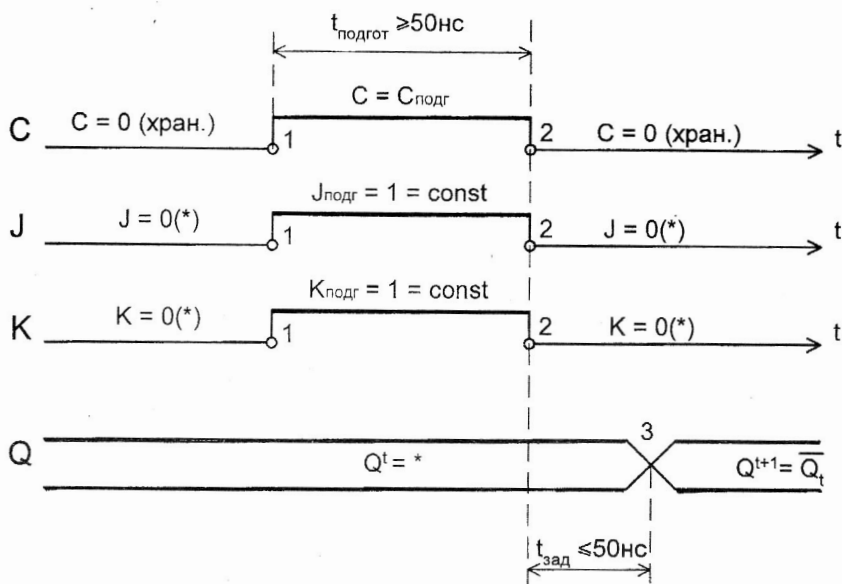


Рис. 2.28. Требуемые временные диаграммы JK-триггера ТВ1 в счетном режиме ($Q^{t+1} = \overline{Q^t}$) при предельно-минимальных значениях $t_{\text{предуст}} = 0$ и $t_{\text{выд}} = 0$ ($JK_{\text{подг}} = 11$)

Таблица 2.7

C^t	J^t	K^t	Q^t	C^{t+1}	Q^{t+1}	Название режима
0	*	*	*	0	Q^t	Хранение информации
1	Const	Const	*	1	Q^t	Режим подготовки к срабатыванию (с захватом помех)
1	Const	0	0	0	1	Запись "1" ($C = \downarrow$)
1	Const	1	1	0	0	Запись "0" ($C = \downarrow$)
1	Const	1	0	0	1	Инвертирование (опрокидывание) состояния триггера ($C = \downarrow$)
1	Const	1	1	0	0	Инвертирование состояния триггера (опрокидывание триггера) при $C = \downarrow$
1	Const	0	0	0	Q^t	Хранение информации по JK-входам при $C = \downarrow$

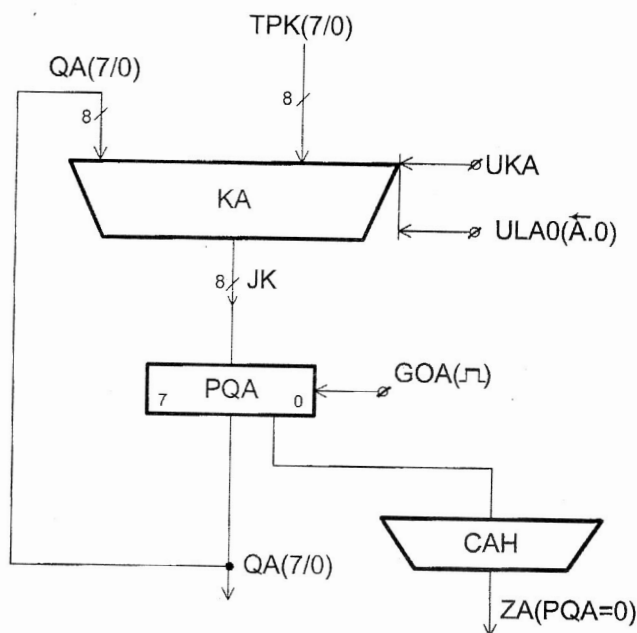


Рис. 2.29. Структурная схема РА

При действии одного из управляющих сигналов на КА (UFA или ULA) активный уровень сигнала возникает либо на J_i -входе, либо на K_i -входе. При отсутствии управляющих сигналов ($UKA = 0$, $ULA = 0$) на JK-входах триггеров формируется нулевой уровень ($JK = 00$) и триггера PQA при произвольном сигнале на C-входе ($C = *$) будут находиться в режиме хранения. Однако отметим, что в такой схеме в каждом такте GOA (⌋⌋⌋⌋) в JK-триггерах РА будет возникать режим с захватом помех по JK-входам ($C = 1$). Этот недостаток отсутствует в схеме РА (рис. 2.1) с управляемой синхронизацией (рис. 2.31). В этой схеме при $UKA = 0$ и $ULA = 0$ на C-входах JK-триггеров устанавливается $C \equiv 0$, то есть режим хранения по C-входам. Поэтому в этом регистре режим захвата помех на JK-входах возникает только в течение такта записи в регистр данных ТРК или сдвига РА. При отсутствии микроопераций (МО) в этом РА заведомо будет отсутствовать режим захвата помех, то есть регистр будет более защищен от помех. Таблицу микроопераций КА в этом случае можно упростить (табл. 2.30). Здесь при $UKA = 0$ и $ULA = 0$ сигналы на JK-входах могут быть произвольными ($JK = **$), в том числе можно принять во всех режимах работы РА $K_i = \bar{J}_i$. Тогда во всех режимах (при $UKA = 1$ или $ULA = 1$, $UKA = ULA = 0$), например, для шестого разряда можно принять: $K_6 = \bar{J}_6$, а $J_6 = UKA \cdot TPK_6 + ULA \cdot QA_5$ (рис. 2.32). Очевидно, что в этой схеме при $UKA = ULA = 0$ заведомо $J_6 = 0$, $K_6 = 1$, и $C \equiv 0$, что гарантирует сохранность записанной информации при комбинации $JK = 01$ в режиме хранения (при $UKA = ULA = 0$).

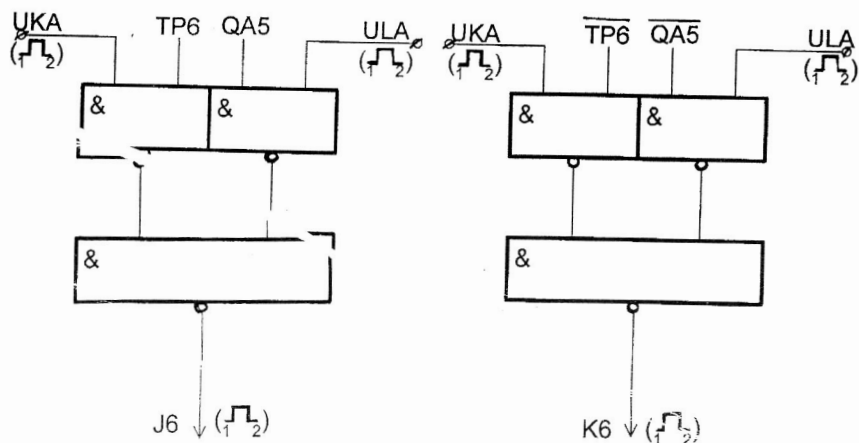


Рис. 2.30. ФС КА (рис. 2.29) для шестого разряда при управляемых J и K-входах ($K_6 \neq \overline{J}_6$) и неуправляемой синхронизации ($C = GOA$)

Таблица 2.29

Микрооперация	J_7	K_7	C_7	J_6	K_6	C_6	J_0	K_0	C_0
UKA	TP_7	\overline{TP}_7	1	TP_6	\overline{TP}_6	1	TP_0	\overline{TP}_0	1
ULA	QA_6	\overline{QA}_6	1	QA_5	\overline{QA}_5	1	0	1	1
UKA = ULA = 0 (режим хранен.)	0	0	1	0	0	1	0	0	1

Недостатком схемы является возможный "сдвиг" фронтов GOA (точек t_a и t_b) на C-входе (при существенной задержке сигналов в схеме И-ИЛИ) на C-входе JK-триггеров, что может привести к нарушению синфазности в работе различных регистров ОА, работающих под управлением GOA. Поэтому схемы с управляемой синхронизацией запрещено применять в тех блоках ЦВМ, где регистры ОА и УА используют однофазную синхронизацию. При использовании двухфазной синхронизации ОА и УА "перекос" фаз GOA и C-входах различных регистров РА всегда можно учесть соответствующим сдвигом в УА импульсов синхронизации GYA относительно GOA.

Фрагмент ФС ОА и УА на JK-триггерах блока нормализации двоичного кода ТРК (рис. 2.1) при использовании двухфазной синхронизации показан на рис. 2.33. Сигналы синхронизации ОА и УА (при двухфазной синхронизации) в схеме определенным образом сдвинуты по фазе (рис. 2.34). Во временной области этот сдвиг должен определяться задержками КЛС ОА и УА и задержкой выходных сигналов триггерных схем. Для рассматриваемого фрагмента (рис. 2.33), очевидно, для устойчивой работы регистров ОА (РА) и УА (РУА) необходимо обеспечить следующие параметры сигналов синхронизации GOA и GYA:

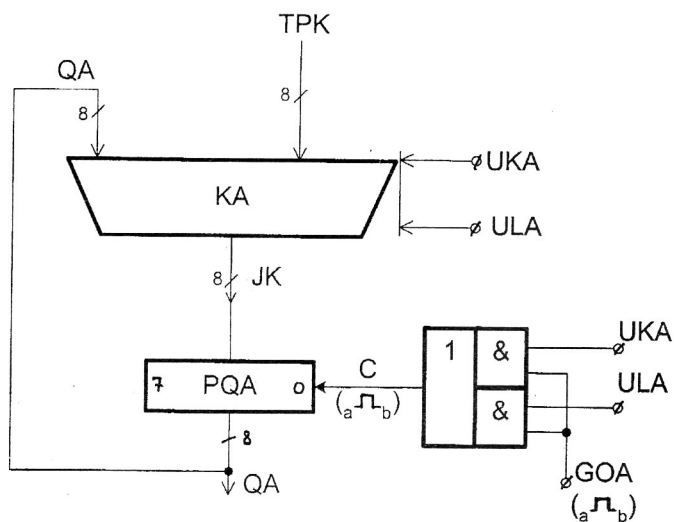


Рис. 2.31. ФС РА (рис. 2.21) на JK – триггерах с управляемой синхронизацией

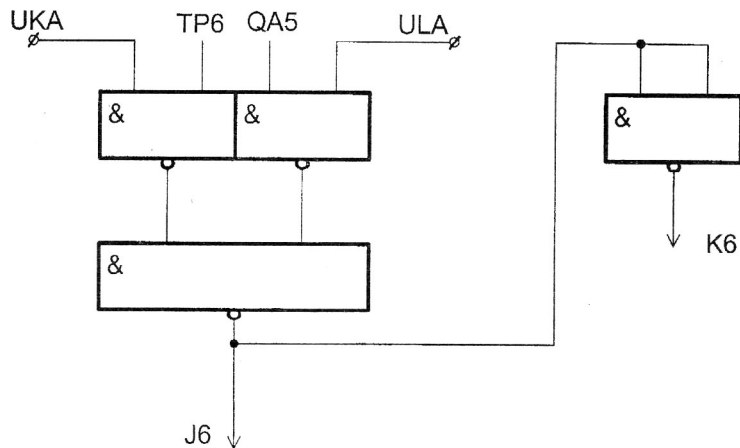


Рис. 2.32. ФС КА для шестого разряда JK – регистра с управляемой синхронизацией и “неуправляемом” K_6 ($K_6 = \overline{J_6}$)

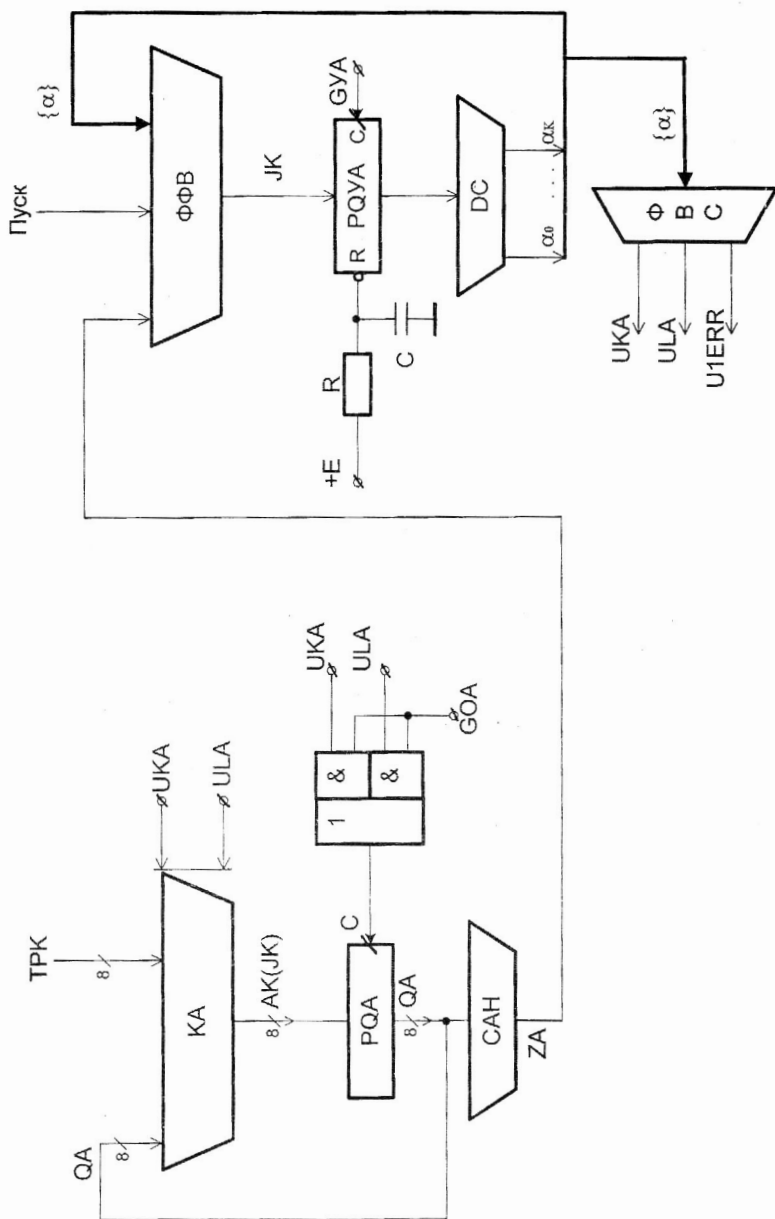


Рис. 2.33. Фрагмент ФС ОА и УА блока нормализации чисел (на JK-триггерах)

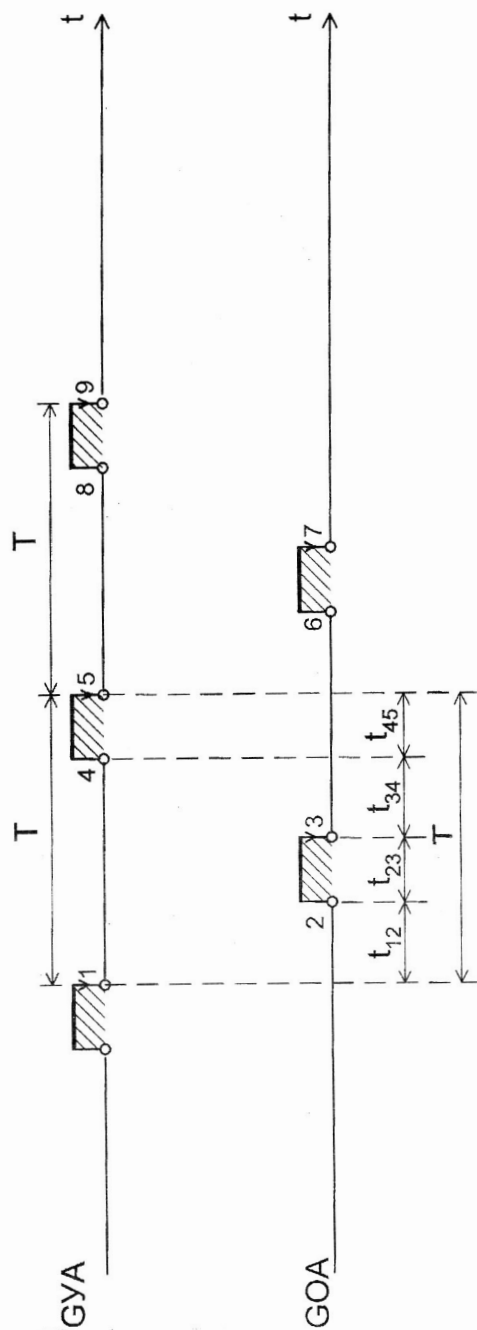


Рис. 2.34. Синхросигналы ОА и УА при двухфазной синхронизации
ОА и УА на JK-триггерах (T - длительность такта УА)

$$t_{23} \geq t_{\text{подг}}^{\text{JK}} + t_{\text{зад}}^{\text{И-ИЛИ}};$$

$$t_{45} \geq t_{\text{подг}}^{\text{JK}};$$

$$t_{12} \geq t_{\text{зад}}^{\text{PУА}} + t_{\text{зад}}^{\text{DC}} + t_{\text{зад}}^{\text{ФВБ}} + t_{\text{зад}}^{\text{КА}};$$


$$t_{34} \geq t_{\text{зад}}^{\text{И-ИЛИ}} + t_{\text{зад}}^{\text{РА}} + t_{\text{зад}}^{\text{САН}} + t_{\text{зад}}^{\text{ФФВ}};$$

$$t_{14} \geq t_{\text{зад}}^{\text{PУА}} + t_{\text{зад}}^{\text{DC}} + t_{\text{зад}}^{\text{ФФВ}};$$

$$t_{36} \geq t_{\text{зад}}^{\text{РА}} + t_{\text{зад}}^{\text{КА}}.$$

Таблица 2.30

Микрооперация	J_7	K_7	C_7	J_6	K_6	C_6	J_0	K_0	C_0
UKA	$\overline{TP_7}$	$\overline{TP_7}$	1	$\overline{TP_6}$	$\overline{TP_6}$	1	$\overline{TP_0}$	$\overline{TP_0}$	1
ULA	QA_6	$\overline{QA_6}$	1	QA_5	$\overline{QA_5}$	1	0	1	1
UKA = ULA = 0 (режим хранен.)	*	*	0	*	*	0	*	*	0

При расчетах схем на ТВ1 необходимо принимать $t_{\text{подг}}^{\text{ТВ1}} = 50$ нс и $t_{\text{зад}}^{\text{ТВ1}} = 50$ нс. При этом, для обеспечения режима хранения в регистрах на ТВ1 с неуправляемой синхронизацией (рис. 2.29) также можно использовать коммутатор КА на рис. 2.32, если управление по JK-входам организовать с помощью схем И на J и K-входах (рис. 2.35). В схеме JK-входы в режиме хранения информации отключены (при UKA = ULA = 0), поэтому при $J_6 = 0$ и $K_6 = \overline{J_6} = 1$ триггер не сбрасывается в нуль под воздействием непрерывно действующих сигналов GOA ().

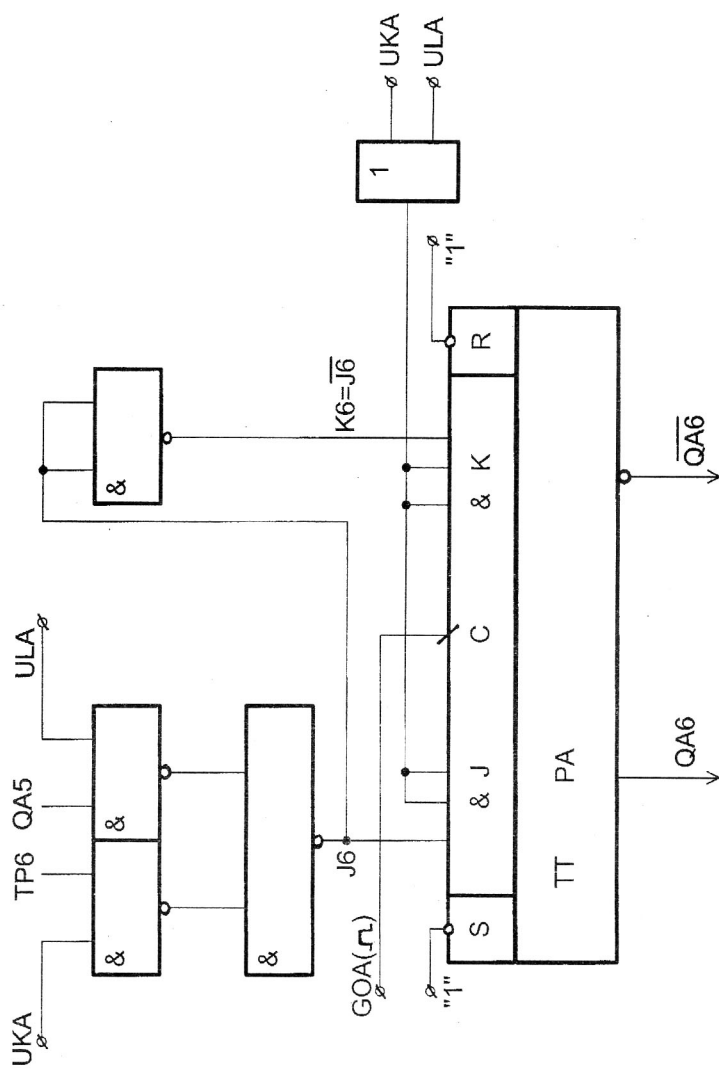


Рис. 2.35. Вариант ФС шестого разряда регистра РА

2.3. Динамика работы и разработка ОА и УА на основе ИС K155ИР1

Условное графическое обозначение ИР1 показано на рис. 2.36. Схема обеспечивает прием параллельного кода $D_1 D_2 D_3 D_4$ при $V = 1$ по заднему фронту положительного синхрои́мпульса C_2 ($\text{—}\downarrow\text{—}$). При $V = 0$ может осуществляться прием последовательного кода по входу D_0 по заднему фронту положительного импульса на синхровходе C_1 ($\text{—}\downarrow\text{—}$). При этом после действия активного фронта C_1 (\downarrow) D_0 формируется на выходе Q_1 , то есть $Q_1^{t+1} = D_0^t$, $Q_2^{t+1} = Q_1^t$, $Q_3^{t+1} = Q_2^t$, $Q_4^{t+1} = Q_3^t$ (t - период действия сигнала $C_1 = 1$).

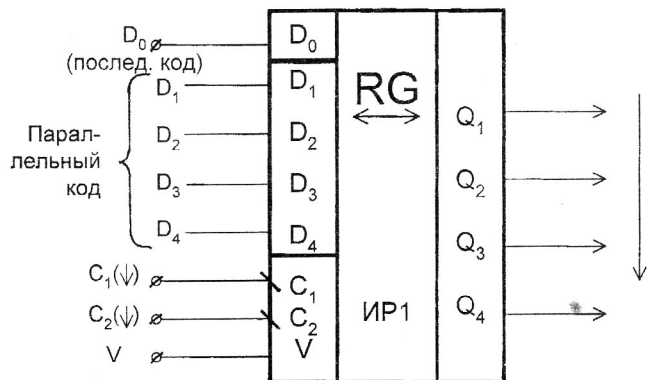


Рис. 2.36. УГО регистра сдвига K155ИР1 с параллельным приемом данных (D_0 – последовательный код при сдвиге информации в регистре; $D_1 D_2 D_3 D_4$ – параллельный код на входе регистра; V – вход управления режимом работы регистра; C_1 и C_2 – синхровходы соответственно для сдвига информации (\downarrow) и приема параллельного кода (\downarrow).

Основой схемы ИР1 являются двухтактные RS – триггера со срабатыванием по заднему фронту положительного импульса (\downarrow) на синхровходе C RS – триггера (рис. 2.37). С помощью коммутатора на ЛЭ1 (ЛЭ2) на входы триггеров коммутируется либо последовательный код ($V = 0$, $D_0 \rightarrow Q_1$, $Q_1 \rightarrow Q_2$, ...), либо параллельный код ($V = 1$, $D_1 \rightarrow Q_1$, $D_2 \rightarrow Q_2$, ...). Коммутатор на ЛЭ3 обеспечивает подключение на синхровход C триггеров регистра либо синхросигнала C_1 ($V = 0$), либо stroba C_2 ($V = 1$).

В компактной форме алгоритм работы ИР1 показан в табл. 2.31.

Таблица 2.31

Название микрооперации ИР1	V	$C_1(\downarrow)$	$C_2(\downarrow)$	$D_1, D_2, \dots D_4$
Сдвиг информации: ($D_0 \rightarrow Q_1, Q_1 \rightarrow Q_2, \dots$)	0	$\text{—}\downarrow\text{—}$	*	*
Запись параллельного кода в регистр	1	*	$\text{—}\downarrow\text{—}$	Параллельный код ($K_1, K_2, \dots K_4$)
Хранение информации	*	0	0	*

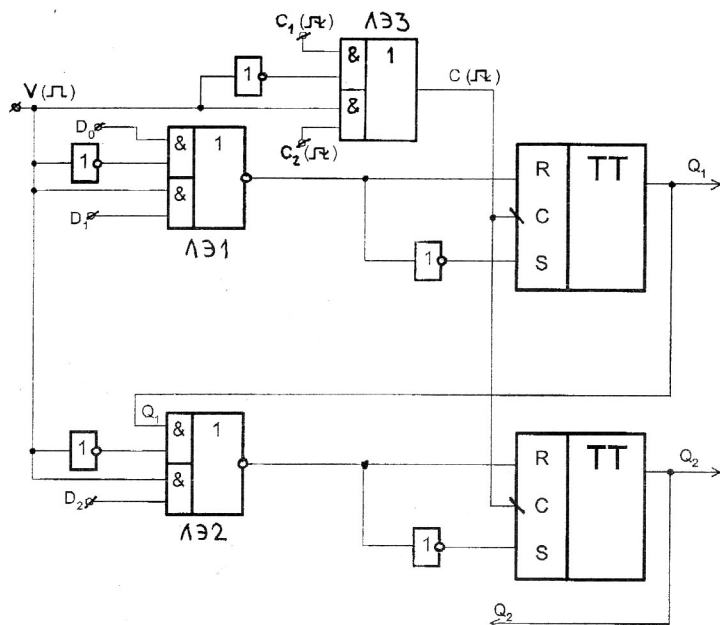


Рис. 2.37. ФС двух разрядов регистра К155ИР1 на двухтактных RS-триггерах без “захвата” помех со срабатыванием по заднему фронту “положительного” импульса (↓)

Требуемые временные соотношения между сигналами на входе ИР1 при приеме параллельного и последовательного кода показаны соответственно на рис. 2.38 и рис. 2.39. Названия этих временных параметров приведены в табл. 2.32.

Таблица 2.32

Требуемые временные соотношения входных сигналов ИР1	Время, нс
Минимальная длительность синхриимпульсов C1 и C2 (↓) - время подготовки к срабатыванию ИР1	15 нс
Максимальная задержка выходного сигнала (Q1, Q2, ..., Q4) относительно активного фронта (↓) C1 и C2	35 нс
Требуемая выдержка D _i - входов относительно активного фронта (↓) синхросигналов C1 и C2	≥ 0 нс
Время предустановки D _i - входов относительно активных фронтов C1 и C2	≥ 10 нс
Время предустановки V = 1 относительно C2 и V = 0 относительно активного фронта сигнала C1	≥ 5 нс

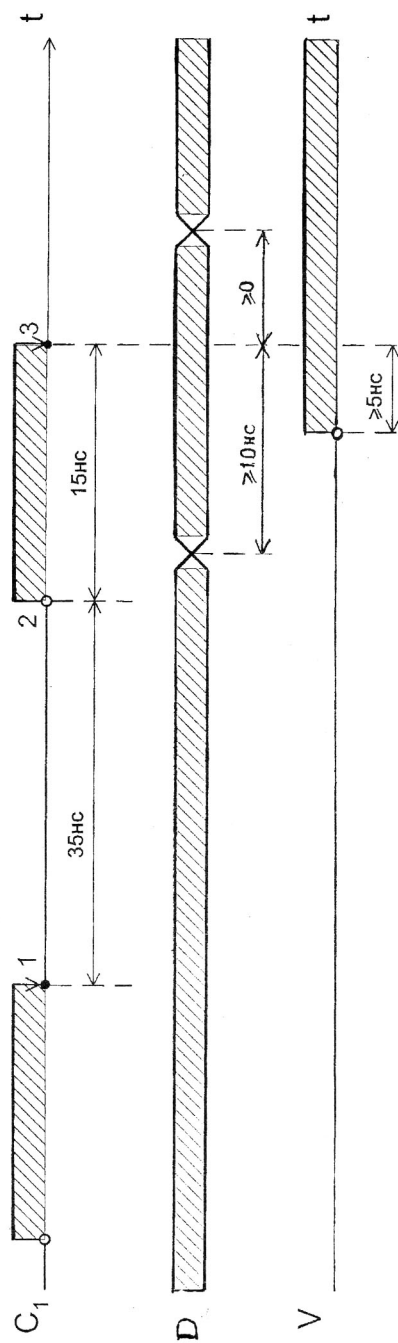


Рис. 2.38. Требуемые временные соотношения на входах СИС ИР1 при записи в регистр параллельного кода D
(D1 D2 D3 D4 \rightarrow Q1 Q2 Q3 Q4)

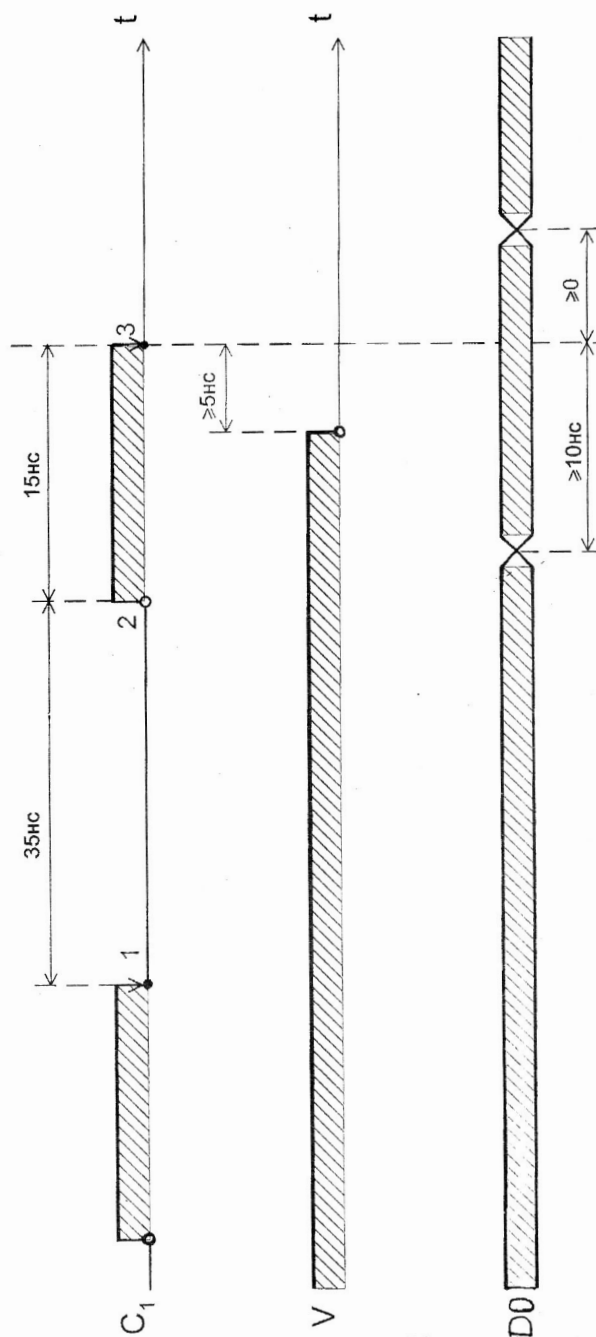


Рис. 2.39. Требуемые временные соотношения на входах СИС ИР1 при записи последовательного кода на входе D0 ($D_0 \rightarrow Q_1$) и сдвига информации в регистре ($Q_1 \rightarrow Q_2 \rightarrow \dots$) с выталкиванием из регистра Q4

Из временных диаграмм прежде всего следует, что сигналы на D – входах обязательно должны устанавливаться ранее активного фронта синхросигналов (\downarrow) на выводах C1 и C2.

Таблица микроопераций для реализации регистра РА (рис. 2.1) на ИР1 (табл. 2.33) содержит функции возбуждения двух микросхем (МС) ИР1 (С - старшая СИС, М - младшая СИС).

Таблица 2.33

Синтез функций возбуждения ИР1 в составе РА																	
Номера разрядов РА	РА(7) РА(6) РА(5) РА(4)								РА(3) РА(2) РА(1) РА(0)								
Реализация разрядов РА на ИР1	Первый корпус ИР1 Q4C Q3C Q2C Q1C								Второй корпус ИР1 Q4M Q3M Q2M Q1M								
МО РА	D4C	D3C	D2C	D1C	D0C	C2	C1	V	D4M	D3M	D2M	D1M	D0M	C2	C1	V	
UKA \wedge GOA	TP7	TP6	TP5	TP4	*	1	*	1	TP3	TP2	TP1	TP0	*	1	*	1	
ULA \wedge GOA	*	*	*	*		Q4M	*	1	0	*	*	*	*	0	*	1	0
Режим хранения информации (UKA= 0, ULA = 0)	*	*	*	*		*	0	0	*	*	*	*	*	*	0	0	*

Из таблицы следуют функции возбуждения:

C1 = (GOA) ULA; C2 = (GOA) UKA;

D0C = Q4M; D0M = 0;

V = UKA;

(D4C \div D1C) = TP(7 \div 4);

(D4M \div D1M) = TP(3 \div 0).

В соответствии с этими функциями возбуждения строится ФС (рис. 2.40) РА для выполнения двух микрокоманд (UKA и ULA). Регистр РА на ИР1 в составе блока нормализации (рис. 2.1) показан на рис. 2.41. Управляющие сигналы UKA и ULA на вход ИР1 поступают с УА. С выхода ИР1 на вход УА поступают признаки РА(7) и ЗА (РА = 0).

Динамика работы ИР1 и УА при двухфазной (GOA \neq GYA) синхронизации ИР1 и регистра управляющего автомата (РУА) показана на рис. 2.42. Управляющие сигналы ULA и UKA синхфазны с активным фронтом (\downarrow) сигнала GYA, а выходные сигналы ИР1 синхфазны с активным фронтом (\downarrow) строба GOA. При этом ИР1 срабатывает по активному фронту синхросигнала GOA только в том случае, если на этапе подготовки к срабатыванию ИР1 (GOA = 1) существовал сигнал разрешения срабатывания, то есть либо микрокоманда UKA, либо - ULA. В противном случае (при UKA = ULA = 0) сигналы C1 = C2 = 0 и микросхемы ИР1 находятся в режиме хранения информации.

Для наглядности на временных диаграммах работы ОА и УА не показаны задержки сигналов в КЛС и регистрах ОА и УА. В действительности их, конечно, необходимо учитывать при расчете отдельных интервалов синхросигналов GOA и GYA. Длительность положительных импульсов GOA необходимо принимать с учетом максимальной задержки схем И на входах C1 и C2 (рис. 2.41):

$$t_{23} \geq t_{\text{подг}}^{\text{ИР1}} + t_{\text{зад}}^{\text{И}}.$$

В регистре УА (РУА) используется неуправляемая синхронизация, поэтому длительность положительного импульса ГУА выбирается только из условия обеспечения требуемого времени подготовки:

$$t_{45} \geq t_{\text{подг}}^{\text{РУА}}.$$

Естественно, что пауза между положительными импульсами GOA и ГУА должна выбираться, во – первых, из условия устойчивой работы обратных связей в УА и цепей сдвига в ОА:

$$t_{36} \geq t_{\text{зад}}^{\text{И}} + t_{\text{зад}}^{\text{ИР1}};$$

$$t_{14} \geq t_{\text{зад}}^{\text{РУА}} + t_{\text{зад}}^{\text{DC}} + t_{\text{зад}}^{\text{ФФВ}}.$$

Кроме того, сигналы обратных связей между ОА и УА также не должны приводить в худшем случае к запрещенным изменениям сигналов на информационных входах регистров ОА и УА в режимах подготовки триггеров этих регистров к срабатыванию. В связи с этим сигналы PA(7) и ZA (рис. 2.41) не должны вызывать переходной режим на JK – входах РУА после t_4 (t_8 и т. д.), поэтому для рассматриваемого фрагмента ФС необходимо принимать:

$$t_{34}^{\text{PA(7)}} \geq t_{\text{зад}}^{\text{И}} + t_{\text{зад}}^{\text{ИР1}} + t_{\text{зад}}^{\text{ФФВ}};$$

$$t_{34}^{\text{ZA}} \geq t_{\text{зад}}^{\text{И}} + t_{\text{зад}}^{\text{ИР1}} + t_{\text{зад}}^{\text{ФФВ}}.$$

Для исключения гонок между фронтами сигналов ULA, UKA и GOA на входе схемы И (рис. 2.41) сигналы УА ULA и UKA должны приходить раньше сигнала GOA = 1. Поэтому в худшем случае t_{56} следует выбирать для рассматриваемого фрагмента ФС на рис. 2.41 следующим образом:

$$t_{56} \geq t_{\text{зад}}^{\text{РУА}} + t_{\text{зад}}^{\text{DC}} + t_{\text{зад}}^{\text{ФФВ}}.$$

Очевидно, что PA (рис. 2.1) на ИР1 (рис. 2.40) может быть реализован также по схеме с неуправляемой синхронизацией, в которой на входах C1 и C2 в этом случае исключаются схемы И, так как C1 = C2 = GOA. Однако более сложные алгоритмы в этом случае реализуются на V и D – входах ИР1:

$$V = \overline{ULA} + UKA;$$

$$D(i) = UKA \text{ ТРК}(i) + \overline{UKA} \text{ PA}(i);$$

$$\text{DOM} = 0; \text{DOC} = Q4M.$$

Основным преимуществом такого регистра с неуправляемой синхронизацией на ИР1 является строго синхфазная работа ИР1 относительно активного фронта (\downarrow) синхросигнала GOA. Поэтому схемы ИР1 с неуправляемой синхронизацией всегда применяются в блоках ЦВМ с однофазной синхронизацией ОА и УА, в которых GOA = ГУА и от регистров ОА и УА требуется строго синхфазная работа относительно активного фронта (\downarrow) синхронизирующего сигнала G = GOA = ГУА.

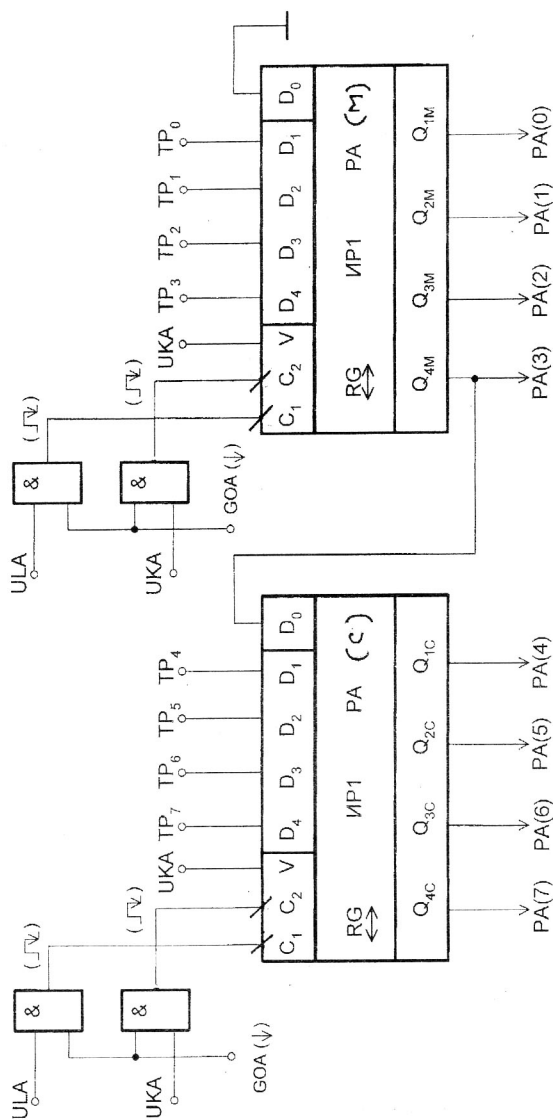


Рис. 2.40. Реализация регистра РА (рис. 2.1) на СИС ИР1 со сдвигом информации по сигналу ULA (А.0) и приемом параллельного кода по сигналу UKA (TP→PA)
(с - старшая секция РА, м - младшая секция РА)

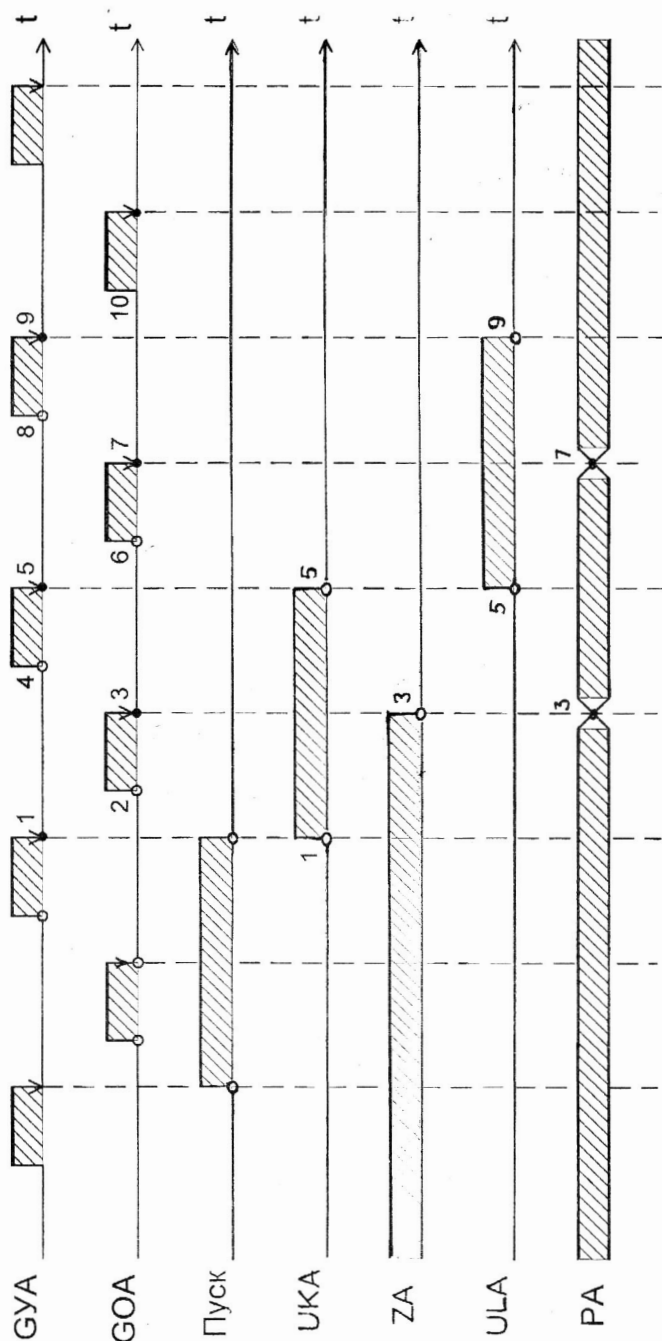


Рис. 2.42. Фрагмент временной диаграммы УА и ОА блока нормализации (рис. 2.1)

2.4. Динамика работы и разработка ОА на основе микросхемы K155ИЕ7

Условное графическое обозначение ИЕ7 показано на рис. 2.43. Схема ИЕ7 представляет реверсивный счетчик по модулю 16 с асинхронным приоритетным входом сброса в нулевое состояние (вход R) и приемом параллельного кода по входам D (по нулевому уровню потенциального сигнала управления \bar{V}).

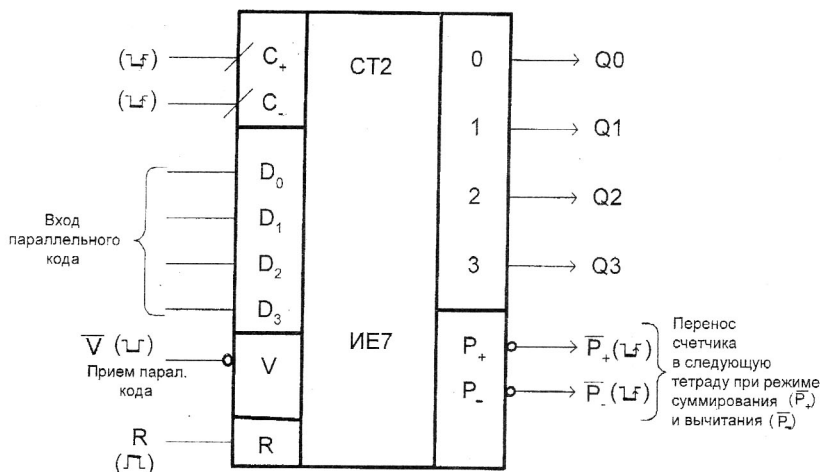


Рис. 2.43. УГО реверсивного счетчика K155ИЕ7 (D_0, D_1, \dots, D_3 – входы для записи параллельного кода по импульсу $\bar{V} = 0$ ($\neg f$); C_+, C_- – счетный соответственно суммирующий и вычитающий вход; P_+, P_- – выходы сигналов переполнения счетчика СТ для организации многоразрядных счетчиков; Q_0, Q_1, \dots, Q_3 ($2^0, 2^1, \dots, 2^3$) – состояние счетчика).

Состояние счетчика определяется выходными сигналами Q. Реверсивные сигналы P_+ и P_- счетчика используются для реализации многоразрядных счетчиков (рис. 2.44). При этом микросхема ИЕ7 реализована таким образом, что полярность выходных сигналов P_+ и P_- ($\neg f$) младшей секции счетчика согласована с требуемой полярностью сигналов на счетных входах старшей секции счетчика ($\neg f$).

Установка триггеров счетчика в нулевое состояние по входу R (рис. 2.43) осуществляется посредством \bar{R} – входов внутренних триггеров счетчика (рис. 2.45). Прием параллельного кода ($D_0 \div D_3$) в триггера счетчика реализован путем приема парафазного кода по асинхронным $\bar{R} \bar{S}$ – входам внутренних триггеров счетчика. Следовательно, по входам R и D счетчик является прозрачным. Поэтому на эти входы запрещается подача сигналов обратной связи со своих выходов (Q_0, Q_1, Q_2, Q_3).

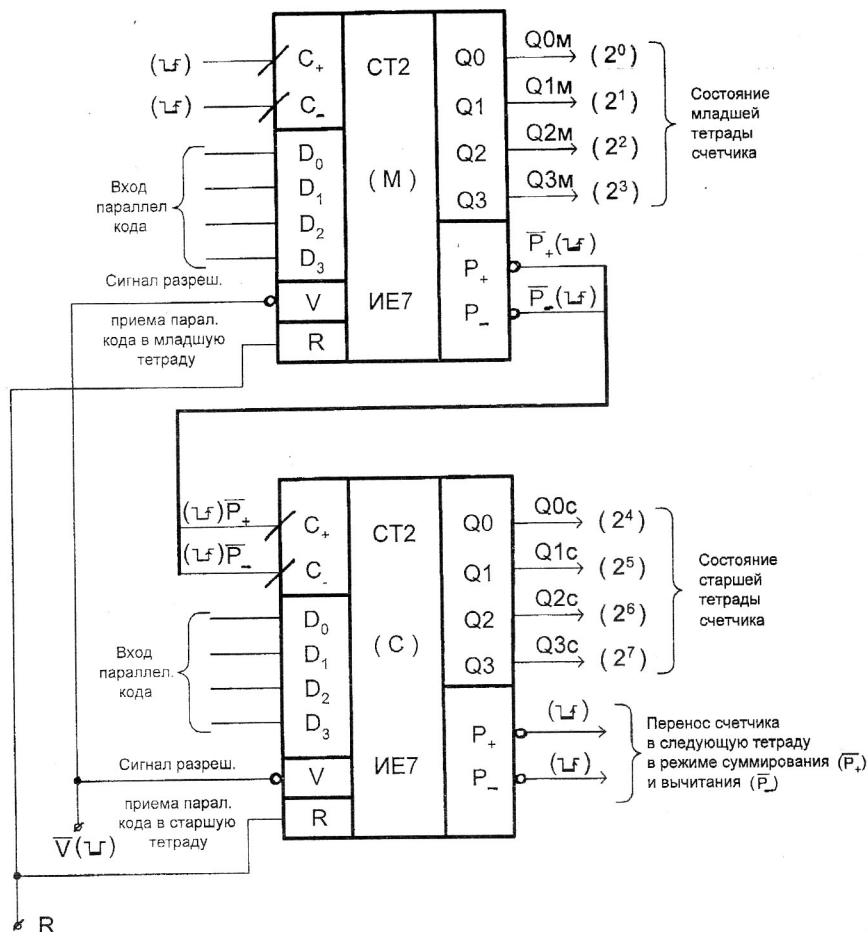


Рис.2.44. Организация однобайтового реверсивного счетчика на СИС К155ИЕ7 (М, С – соответственно младшая и старшая тетрады счетчика)

Счетный режим в ИЕ7 (рис. 2.46) организован по Т – входам внутренних триггеров ИЕ7. Переносы между разрядами и выходные сигналы переноса P_+ и P_- в режимах суммирования и вычитания реализованы в счетчике по канонической параллельной схеме:

$$\begin{aligned}
 T_0 &= (\overline{C_+}) + (\overline{C_-}); \\
 T_1 &= (\overline{C_+}) \cdot Q_0 + (\overline{C_-}) \cdot \overline{Q_0}; \\
 T_2 &= (\overline{C_+}) \cdot Q_0 \cdot Q_1 + (\overline{C_-}) \cdot \overline{Q_0} \cdot \overline{Q_1}; \\
 T_3 &= (\overline{C_+}) \cdot Q_0 \cdot Q_1 \cdot Q_2 + (\overline{C_-}) \cdot \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}; \\
 P_+ &= (\overline{C_+}) \cdot Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3; \\
 P_- &= (\overline{C_-}) \cdot \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}.
 \end{aligned}$$

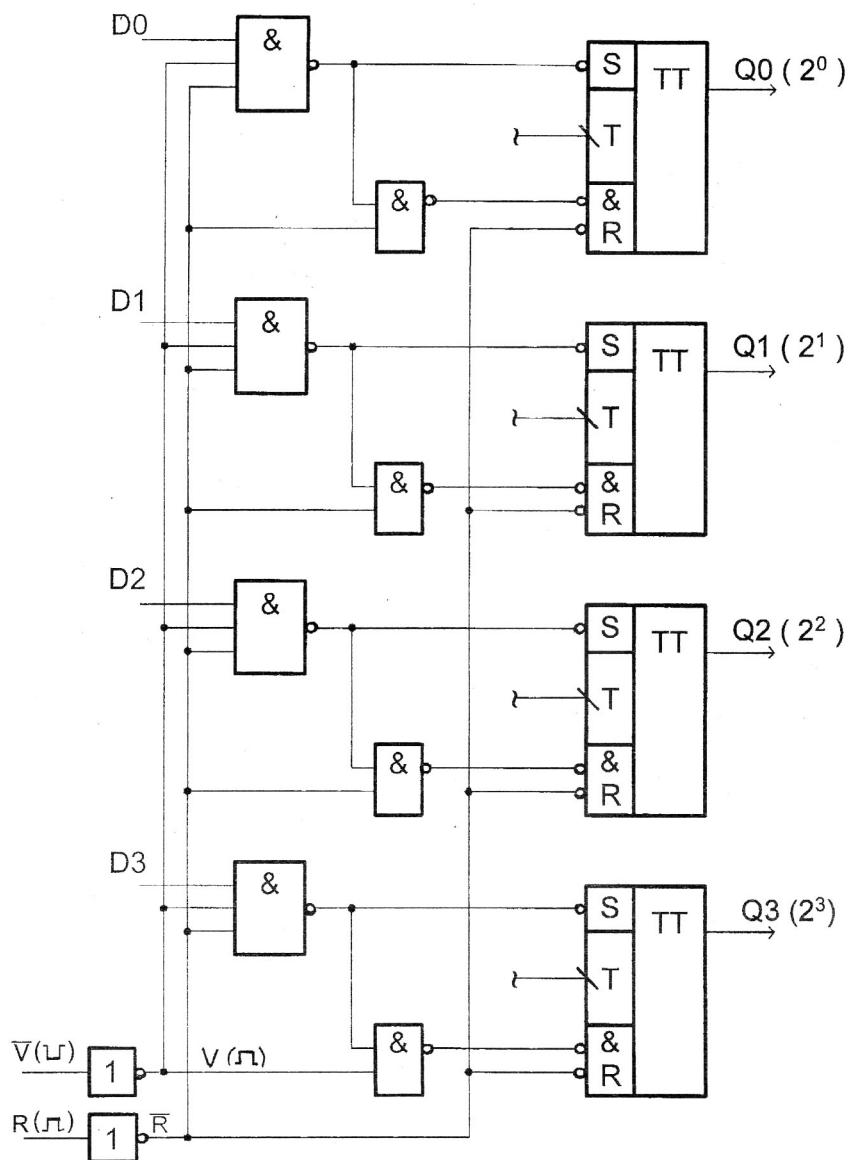


Рис. 2.45. Цепи установки триггеров счетчика ИЕ7 в нулевое состояние ($R=1$) и приема в счетчик параллельного кода ($D0, D1, \dots, D3$) по управляющему сигналу ($\bar{V}=0$).

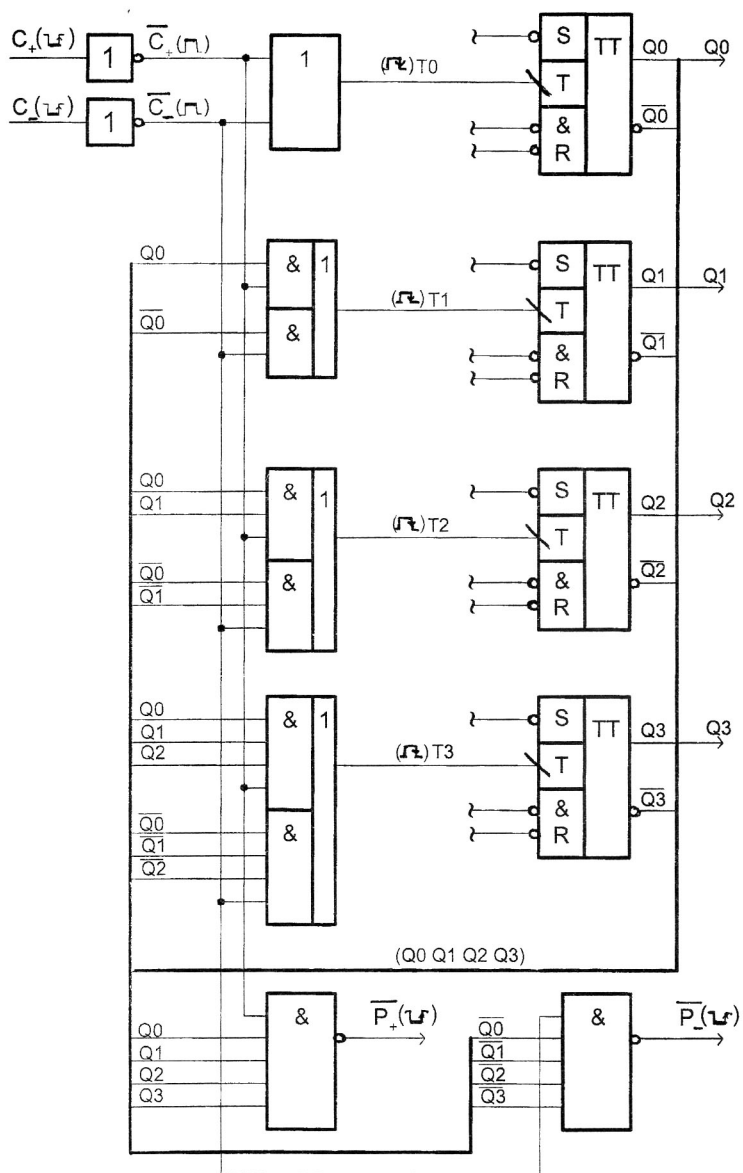


Рис. 2.46. Цепи ИЕ7 для организации счетного режима суммирования (C_+) и вычитания (C_-)

Конечно, для корректной работы ИЕ7 запрещена одновременная подача на входы счетчика сигналов (C_+) и (C_-). Входные отрицательные импульсы (C_+) и (C_-) в счетчике инвертируются и непосредственно на счетные Т- входы внутренних триггеров ИЕ7 поступают импульсы положительной полярности ($\overline{C_+}$) и ($\overline{C_-}$). По заднему фронту (\downarrow) этих положительных импульсов срабатывают триггера ИЕ7, что соответствует заднему фронту (\uparrow) входных отрицательных импульсов ($\overline{C_+}$) на входе ИЕ7 (рис. 2.46).

Динамика работы ИЕ7 показана на рис. 2.47. Положительным импульсом на R- входе ИЕ7 (рис. 2.47,а) счетчик сбрасывается в нулевое состояние с задержкой не больше 35 нс.

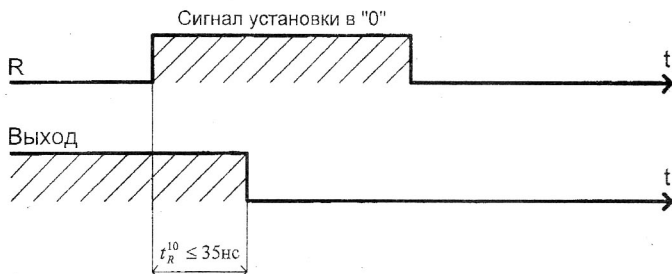


Рис.2.47,а. Временные соотношения сигнала сброса R и выходных сигналов счетчика ИЕ7

Минимальная длительность активного уровня сигнала (\overline{V}) на \overline{V} - входе (рис. 2.47,б) должна быть не меньше 20 нс. Выходы Q ИЕ7 по $\overline{V} = 0$ принимают состояние D- входов с задержкой не более 40 нс. Для обеспечения этого режима к моменту установления $V = 0$ сигналы на D- входах должны иметь уже требуемое значение. Поэтому время предустановки D- входов должно быть не меньше, по крайней мере, длительности фронта сигналов на D- входах, который в микросхемах серии K155 не превышает 22 нс.

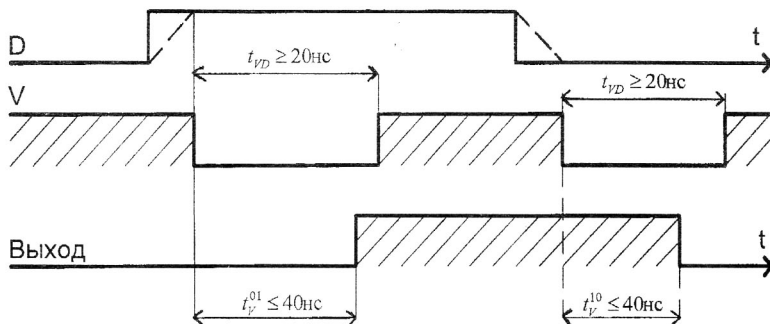


Рис.2.47,б. Временные соотношения при записи параллельного кода в счетчик ИЕ7

Для устойчивой работы ИЕ7 в счетном режиме длительность отрицательных импульсов на входах (C_+) и (C_-) должна быть не меньше 20 нс (рис. 2.47,в).

Относительно , активного фронта (\uparrow) входных сигналов (C_+) и (C_-) задержка единичного уровня на выходе ИЕ7 (t^{01}) не превышает 38 нс, а нулевого (t^{10}) - 40 нс.

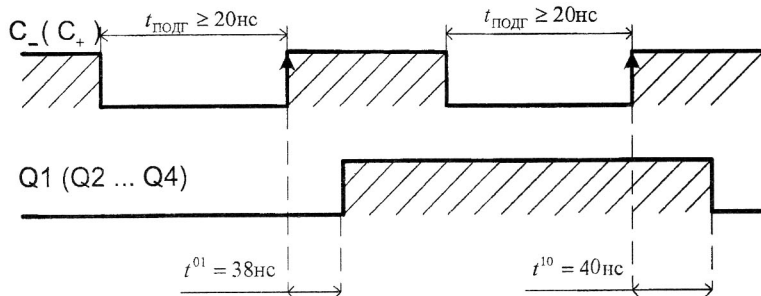


Рис. 2.47,в. Временные соотношения ИЕ7 в счетном режиме

Сигнал переполнения ИЕ7 в суммирующем режиме (\overline{P}_+) с сигналом (C_+) имеет одноименную полярность. Однако фронты сигнала (C_+) в худшем случае задерживаются (рис. 2.48) на 24 нс (t^{10}) и 26 нс (t^{01}). В связи с этим выходной отрицательный сигнал переполнения (\overline{P}_+) может быть либо меньше отрицательного импульса на входе (C_+) на 24 нс, либо больше на 26 нс. Если в 8 – разрядном счетчике сигнал (\overline{P}_+) является входным для следующей секции (рис. 2.44) то, очевидно, его длительность должна быть не меньше 20 нс, а соответственно длительность входного сигнала (C_+) младшей секции должна быть не менее 44 нс. Аналогичные условия необходимо соблюдать в ИЕ7 также при обратном счете (рис. 2.49) между сигналами (C_-) и \overline{P}_- .

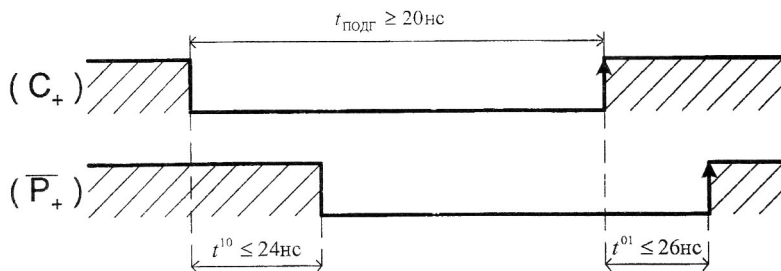


Рис. 2.48. Временные соотношения при формировании сигнала положительного переполнения счетчика ИЕ7

Требуемые временные соотношения между сигналами в 12 – разрядном счетчике на микросхемах ИЕ7 приведены на рис. 2.50.

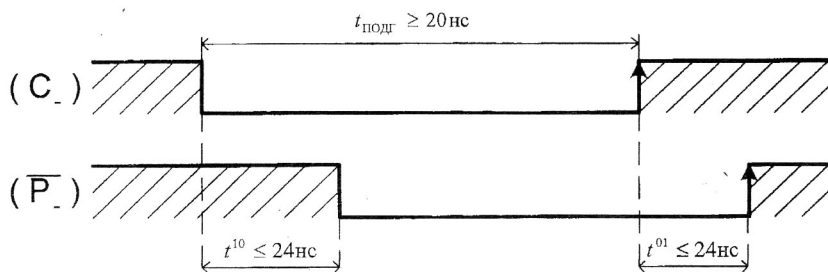


Рис. 2.49. Временные соотношения при формировании сигнала отрицательного переполнения счетчика ИЕ7

В табл. 2.34 показаны требуемые функции возбуждения ИЕ7 для реализации режимов работы счетчика нулей (рис. 2.1).

Таблица 2.34

Синтез функций возбуждения ИЕ7								
Микро-операция	Микрокоманда	Значение синхросигнала GOA	R	D4 D3 D2 D1	\overline{V}	(C+)	(C-)	
СТ = 0	U0CT (U0CT = 1)	-	1	* * * *	1	1	1	
СТ = СТ + 1	UPCT (UPCT = 1)	GOA	0	* * * *	1	0	1	
Хранение информац.	$\overline{U0CT}, \overline{UPCT}$ ($\overline{U0CT}, \overline{UPCT} = 0$)	-	0	* * * *	1	1	1	

Из таблицы микроопераций следует:

$$R = U0CT;$$

$$\bar{V} = 1; (C-) = 1;$$

$$C+ = (UPC) \wedge GOA \quad (G+ = \overline{UPC} \wedge \overline{GOA});$$

$$D = *.$$

В соответствии с этими функциями возбуждения на рис. 2.51 построена схема СТН (рис. 2.1) на ИС ИЕ7. Временная диаграмма работы СТН на ИЕ7 при использовании в блоке нормализации (рис. 2.1) двухфазной синхронизации ($GOA \neq GYA$) показана на рис. 2.52. В такте УА t_{15} вырабатывается сигнал установки СТН (рис. 2.51) в нулевое состояние ($U0CT$).

Для корректной работы СТН на ИЕ7 в этом режиме, очевидно, необходимо соблюдать условие

$$t_{14} \geq t_{\text{зад}}^{\text{РYA}} + t_{\text{зад}}^{\text{DC}} + t_{\text{зад}}^{\text{ФВС}} + t_{\text{зад}}^{\text{ИЕ7}},$$

$$\text{где } t_{\text{зад}}^{\text{ИЕ7}} \geq 35 \text{ нс.}$$

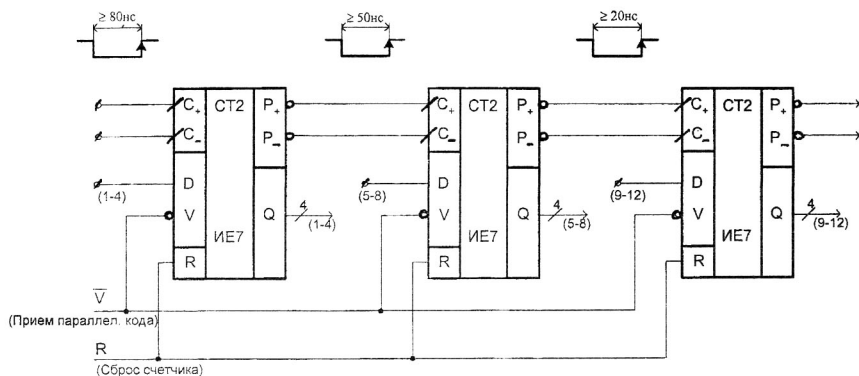


Рис. 2.50. Организация работы 12 – разрядного реверсивного счетчика на СИС ИЕ7 (при определении активного уровня счетного входа (C_+) задержка сигнала переноса P_+ с запасом принята равной 30 нс).

Под воздействием сигнала UPST в такте t_{59} осуществляется увеличение содержимого СТН ($СТН = СТН + 1$). При этом до момента наступления времени подготовки СТН (t_{67}) UPST должен иметь на входе И – НЕ ИЕ7 (рис. 2.51) стабильное значение. Поэтому в схеме в этом режиме необходимо соблюдать условие

$$t_{56} \geq t_{\text{зад}}^{\text{РУА}} + t_{\text{зад}}^{\text{DC}} + t_{\text{зад}}^{\text{ФВС}}.$$

С учетом возможного сокращения длительности GOA на выходе И – НЕ длительность GOA следует выбирать из условия

$$t_{67} \geq t_{\text{подг}}^{\text{ИЕ7}} + t_{\text{зад}}^{\text{И-НЕ}}.$$

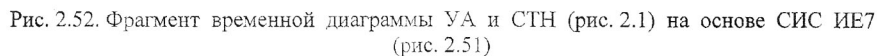
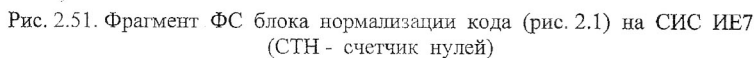
Промежуток времени t_{78} необходимо выбирать с учетом возможного расширения сигнала GOA в схеме И – НЕ ИЕ7 (рис. 2.51), задержки выходного сигнала ИЕ7, схемы $\overline{Z_H}$ и задержки этого сигнала в ФФВ УА. Следовательно, имеем

$$t_{78} \geq t_{\text{зад}}^{\text{И-НЕ}} + t_{\text{зад}}^{\text{ИЕ7}} + t_{\text{зад}}^{\text{И-НЕ}(Z_H)} + t_{\text{зад}}^{\text{ФВС}},$$

$$\text{где } t_{\text{зад}}^{\text{ИЕ7}} = t_{Q-C} = 50 \text{ нс.}$$

Длительность синхросигнала ГУА должна обеспечить подготовку к срабатыванию РУА (рис. 2.51) с учетом возможного сокращения этого сигнала в инверторе на С – входе РУА. С учетом этого в схеме должно выполняться условие

$$t_{89} \geq t_{\text{подг}}^{\text{РУА}} + t_{\text{зад}}^{\text{ИЕ}}.$$



2.5. Динамика работы и разработка ОА на основе прозрачных триггеров К155ТМ5

Условное графическое обозначение ТМ5 приведено на рис. 2.53. Фактически микросхема ТМ5 представляет два независимых прозрачных регистра Q1Q2 и Q3Q4, каждый из которых имеет два триггера. Разрешение приема в регистр Q1Q2 осуществляется по входу E12, а в регистр Q3Q4 - по входу E34 (рис. 2.54). Схема всех триггеров ТМ5 реализована на тактируемых сигналами E12 и E34 RS – триггерах. При наличии разрешения по E – входу в RS – триггере формируется либо $S_i = 1$ (при $D_i = 1$), либо $R_i = 1$ (при $D_i = 0$ и $\overline{D_i} = 1$).

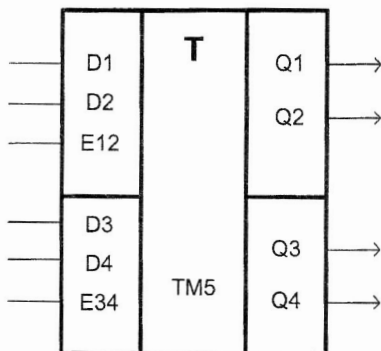


Рис. 2.53. УГО четырех прозрачных DE – триггеров с прямыми выходами К155ТМ5 (E12 - разрешение приема информации по входам D1 D2; E34 - разрешение приема информации по входам D3 D4)

Корректная работа триггеров обеспечивается в этих режимах при определенной длительности сигналов D и E и определенных временных соотношениях между сигналами D и E (рис. 2.55). Длительность сигналов разрешения E12 (E34) выбирается из условия надежного срабатывания RS – триггеров. Минимальная длительность сигнала E12 (или E34) при записи “1” должна быть не меньше 30 нс, а при записи “0” (в Q1Q2 или Q3Q4) - 25 нс. Реально в устройствах на ТМ5 длительность сигналов E выбирается одинаковой:

$$t_{E12} = t_{E34} = \max(t_E^{“1”}, t_E^{“0”}) = 30 \text{ нс},$$

$$\text{где } t_E^{“1”} = 30 \text{ нс}, \quad t_E^{“0”} = 25 \text{ нс}.$$

Время предустановки ($t_{\text{предуст}}$) сигнала D (t_{12}) и время выдержки ($t_{\text{выд}}$) сигнала D (t_{34}) в ТМ5 обязательно не должны быть нулевыми и выбираются из условия $t_{\text{предуст}} \geq 10 \text{ нс}$, $t_{\text{выд}} \geq 5 \text{ нс}$. При наблюдении этих условий под воздействием E12 (E34) = 1 и D = 1 триггера регистров ТМ5 (Q1Q2 или Q3Q4) устанавливаются в единичное состояние с задержкой $t_{\text{зад}}^{01} \leq 30 \text{ нс}$, а при D = 0 - в нулевое состояние с задержкой $t_{\text{зад}}^{10} \leq 25 \text{ нс}$ (рис. 2.56).

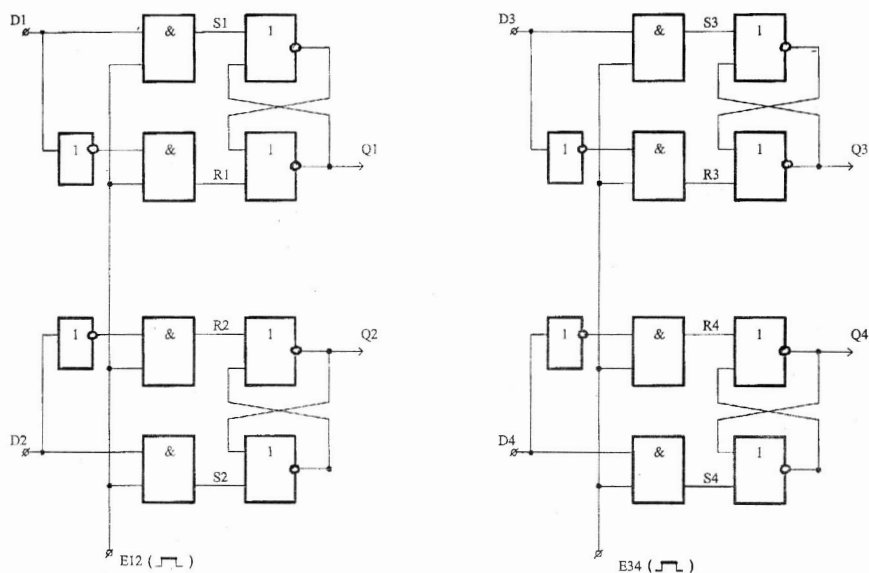


Рис. 2.54. ФС четырех прозрачных D-триггеров ИС K155TM5 с прямыми выходами

Восьмиразрядный сдвигающий регистр РА (рис. 2.1) на двух микросхемах TM5 может быть реализован либо по схеме с неуправляемой синхронизацией (рис. 2.57), либо по схеме с управляемой синхронизацией (рис. 2.60). В обобщенном изображении схема РА с неуправляемой синхронизацией и схема УА (рис. 2.1) на прозрачных регистрах TM5 показана на рис. 2.58. Схемы РА (в ОА) и РУА (в УА) для исключения гонок в цепях обратной связи реализованы по MS-технологии (мастер – помощник). На рис. 2.58 все М-триггера образуют регистры М-типа (соответственно РАМ и РУАМ), а S-триггера – регистры S-типа (соответственно PAS и РУAS). М-регистры ОА и УА осуществляют реализацию микроопераций, а S-регистры – сохранение старого состояния М-регистров при записи в М-регистр нового состояния. Реализация этой стратегии осуществляется за счет “разнесения” по времени сигналов GOAM и GOAS ($GOAM \neq GOAS$) и сигналов GYAM и GYAS ($GYAM \neq GYAS$). При этом после включения питания РУАМ и РУAS автоматически сбрасываются в нулевое состояние $\bar{R}\bar{S}$ -триггером, который, в свою очередь, сбрасывается в нулевое состояние RC-цепочкой на \bar{R} -входе.

Предполагается, что нулевое состояние этого триггера на выходе ФВ УА формирует сигналы $DM = 0$, состояния которых синхросигналами GYAM и GYAS очищает затем регистры РУАМ и РУAS. До прихода сигнала Пуск на \bar{S} -вход триггера управления нулевое состояние РУАМ и РУAS должно поддерживаться ФВ как угодно долго ($a_0 \rightarrow a_0 \rightarrow a_0 \dots$). По сигналу Пуск = 0 в УА ждущий режим УА завершается и осуществляется передача управления в блоки граф – схемы алгоритма.

Таблица микроопераций коммутатора РА (рис. 2.58) на TM5 для схемы на рис. 2.58 показана в табл. 2.35.

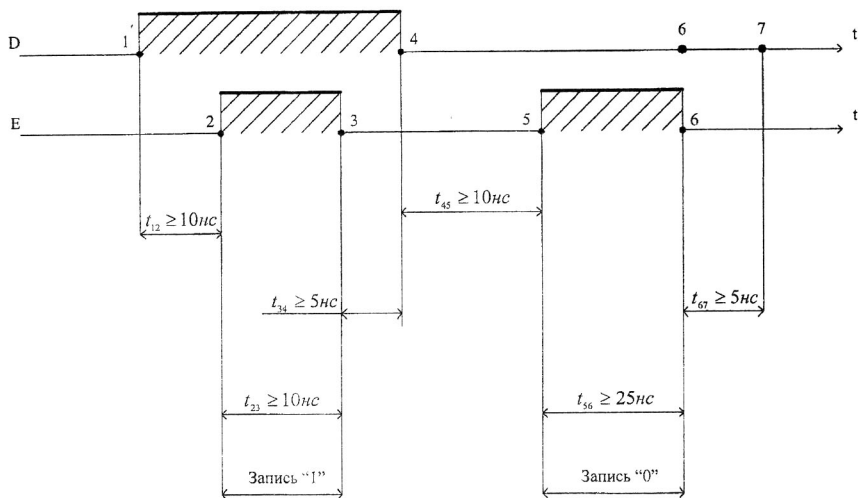


Рис. 2.55. Временные диаграммы входных сигналов K155TM5
(t_{12} – время предустановки; t_{34} – время выдержки)

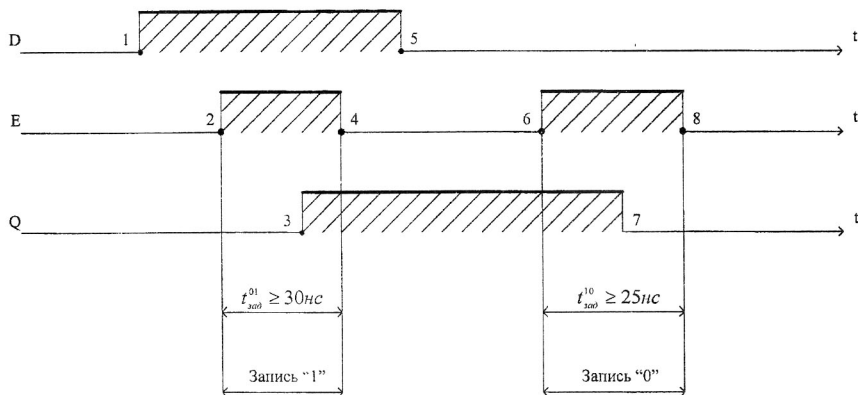


Рис. 2.56. Временные диаграммы выходных сигналов K155TM5

Алгоритм работы коммутатора КА (рис. 2.58).

Таблица 2.35

Микрооперация	A(7)	A(6)	A(4)	A(3)	A(1)	A(0)
UKA (UKA = 1)	K(7)	K(6)	K(4)	K(3)	K(1)	K(0)
ULA (ULA = 1)	PA(6)	PA(5)	PA(3)	PA(2)	PA(0)	0
$\overline{\text{UKA}}$ (UKA = 0) & ULA (ULA = 0)	PA(7)	PA(6)	PA(4)	PA(3)	PA(1)	PA(0)

Примечание. (UKA = 1) & (ULA = 1) - запрещено (*)

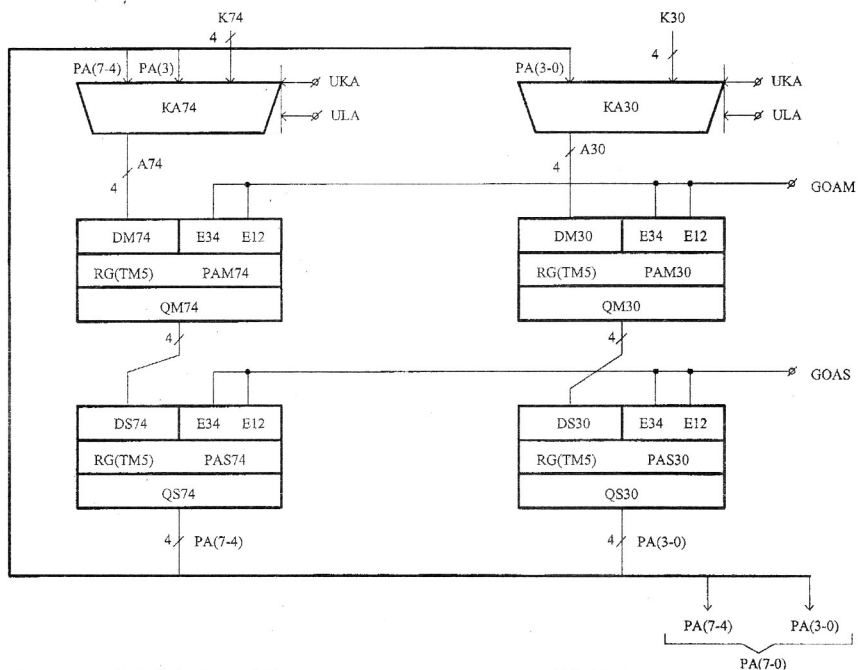


Рис. 2.57. ФС ПА (рис. 2.1) на прозрачных триггерах К155ТМ5 при неуправляемой синхронизации

В соответствии с таблицей сигналы на выходе коммутатора КА должны формироваться по алгоритму:

$$A(7) = (UKA) \cdot K(7) + (\overline{ULA}) \cdot PA(6) + (\overline{UKA}) \cdot (\overline{ULA}) \cdot PA(7);$$

$$A(1) = (UKA) \cdot K(1) + (\overline{ULA}) \cdot PA(0) + (\overline{UKA}) \cdot (\overline{ULA}) \cdot PA(1);$$

$$A(0) = (UKA) \cdot K(0) + (\overline{UKA}) \cdot (\overline{ULA}) \cdot PA(0);$$

Для схемы с управляемой синхронизацией ПАМ (рис. 2.60) алгоритм работы КА несколько упрощается (табл. 2.36)

Алгоритм работы коммутатора КА (рис. 2.59).

Таблица 2.36

Микрооперация	A(7)	A(6)	A(4)	A(3)	A(1)	A(0)
UKA (UKA = 1)	K(7)	K(6)	K(4)	K(3)	K(1)	K(0)
ULA (ULA = 1)	PA(6)	PA(5)	PA(3)	PA(2)	PA(0)	0
\overline{UKA} ($\overline{UKA} = 0$) & \overline{ULA} ($\overline{ULA} = 0$)	0	0	0	0	0	0

Примечание. (UKA = 1) & (ULA = 1) - запрещено (*)

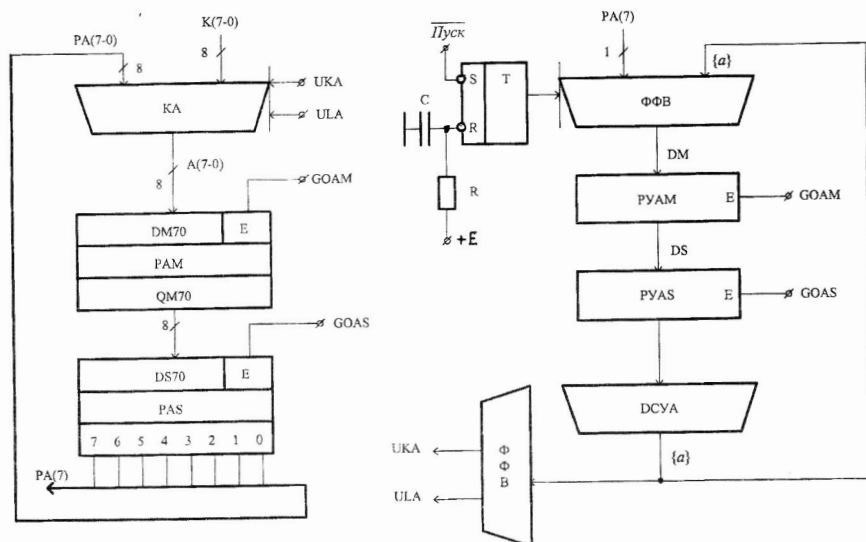


Рис. 2.58. Фрагмент ФС блока нормализации (рис. 2.1) на основе прозрачных триггеров TM5 при неуправляемой синхронизации РА

Сигналы на выходе коммутатора КА формируются по алгоритму:

$$A(7) = (UKA) \cdot K(7) + (ULA) \cdot PA(6);$$

.....

$$A(1) = (UKA) \cdot K(1) + (ULA) \cdot PA(0);$$

$$A(0) = (UKA) \cdot K(0);$$

Временная диаграмма работы РА и УА на TM5 показана на рис. 2.59. Фактически в этой схеме на TM5 используется четырехтактная синхронизация. При этом в схемах ОА и УА выходные сигналы синфазны соответственно синхросигналам GOAS и GYAS. Синхросигналы GOAM и GYAM являются "внутренними" в ОА (в РА) и в УА (в РУА). В соответствии с логикой работы УА и ОА в такой схеме (рис. 2.58) длительность синхросигналов должна быть равна требуемой длительности сигналов на входах Е TM5 (Е12 или Е34), то есть

$$GOAM = GOAS = GYAM = GYAS = t_E \geq 30 \text{ нс.}$$

Для обеспечения устойчивого режима сдвига информации в РА под воздействием управляющего сигнала UAL в схеме необходимо выполнить условие

$$t_{23} \geq t_{\text{предуст}}^{\text{TM5}};$$

$$t_{13} \geq t_{\text{зад}}^{\text{PYAS}} + t_{\text{зад}}^{\text{DC}} + t_{\text{зад}}^{\text{ФФВ}} + t_{\text{зад}}^{\text{КА}};$$

$t_{45} \geq t_{предуст}^{TM5}; \quad t_{67} \geq t_{зад}^{\Phi\Phi\text{В}}$,
 где $t_{зад}^{KA}$ - задержка коммутатора КА.

Аналогичным образом рассчитываются отдельные промежутки тактов синхросигналов в других случаях.

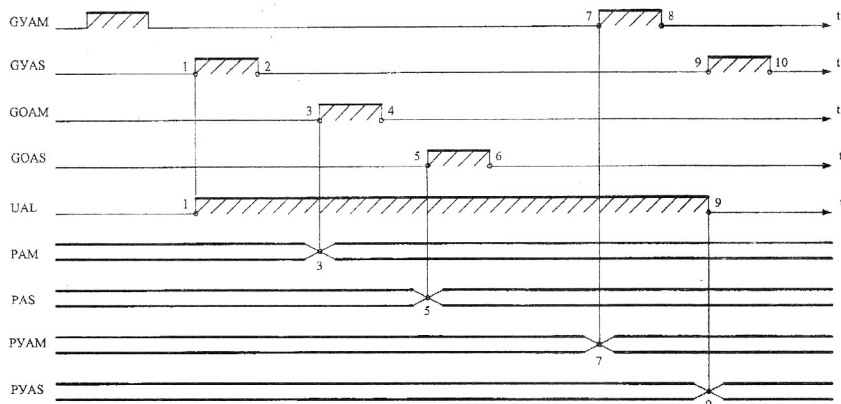


Рис. 2.59. Фрагмент временной диаграммы работы УА и ОА блока нормализации (рис. 2.1) на прозрачных триггерах TM5

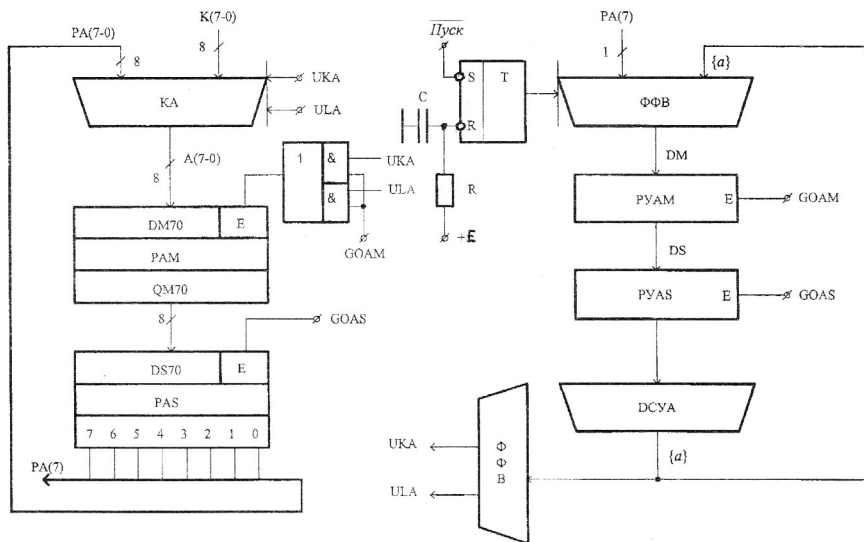


Рис. 2.60. Фрагмент ФС блока нормализации (рис. 2.1) на основе прозрачных триггеров TM5 с управляемой синхронизацией РА (РАМ)

Обзор литературных источников

Вопросы **синтеза КЛС** в различных базисах рассмотрены в следующих литературных источниках: [1, с. 5 - 22], [4, с. 91 - 98], [5, с. 10 - 61], [18, с. 231 - 238], [8, с. 210 - 217], [10, с. 39 - 67].

Синтез суммирующих и вычитающих устройств можно найти в литературе: [1, с. 33 - 41], [4, с. 113 - 123], [19, с. 44 - 50], [10, с. 77 - 89].

Синтез счетчиков рассмотрен в следующих литературных источниках: [1, с. 27 - 32], [5, с. 126 - 140], [4, с. 108 - 113], [19, с. 33 - 44], [10, с. 150 - 174].

Синтез регистров можно найти в литературе: [4, с. 98 - 108], [19, с. 5 - 33], [10, с. 101 - 150].

Вопросы **разработки блоков контроля** арифметических устройств по $\text{mod } 3$ или $\text{mod } 7$ можно найти в литературе: [1, с. 42 - 45], [2, с. 54 - 59], [3, с. 43 - 46], [9, с. 418 - 422], [8, с. 174 - 183].

СПИСОК ЛІТЕРАТУРИ

1. Методичні вказівки до лабораторного практикуму PC&EWB з курсу “Цифрові ЕОМ” для студентів спеціальностей “Комп’ютерні системи і мережі” і “Системне програмування” / Укл. Лапко В. В., Губарь Ю. В. – Донецьк: Видавництво ДНТУ, 2004. – 78 с.
2. Методичні вказівки до лабораторного практикуму з курсу “Архітектура комп’ютерів” для студентів спеціальностей “Комп’ютерні системи і мережі” і “Системне програмування” / Укл. Лапко В. В., Губарь Ю. В. – Донецьк: Видавництво ДНТУ, 2005. – 120 с.
3. Методичні вказівки до курсового проекту з курсу “Архітектура комп’ютерів” для студентів спеціальностей “Комп’ютерні системи і мережі” і “Системне програмування” / Укл. Лапко В. В., Губарь Ю. В. – Донецьк: Видавництво ДНТУ, 2006. – 84 с.
4. Самофалов К. Г., Корнейчук В. И., Тарасенко В. П. Цифровые ЭВМ: Теория и проектирование / Под общей ред. К. Г. Самофалова – К.: Вища школа, 1989. – 424 с.
5. Хоуп Г. Проектирование цифровых вычислительных устройств на интегральных схемах. – М.: Мир, 1984. – 400 с.
6. Микросхемы серии K155, KM155. Краткие технические данные – Северодонецк: НПО “Импульс”, 1988. – 236 с.
7. Шило В. Л. Популярныe цифровые микросхемы. Справочник. – М.: Радио и связь, 1988. – 352 с.
8. Прикладная теория цифровых автоматов / К. Г. Самофалов, А. М. Романкевич, В. Н. Валуйский и др. – К.: Вища школа. Головное изд-во, 1987 – 375 с.
9. Каган Б. М. Электронные вычислительные машины и системы: Учебное пособие для вузов - М.: Энергоатомиздат, 1991. – 592 с.
10. Угрюмов Е. П. Цифровая схемотехника. - СПб. БХВ – Петербург, 2004.- 528 с.
11. Путинцев Н. Д. Аппаратный контроль управляющих цифровых вычислительных машин. – М.: Советское радио, 1966. – 424 с.
12. Селлерс Ф. Методы обнаружения ошибок в работе ЭЦВМ. – М.: Мир, 1972. – 310 с.
13. Потемкин И. И. Функциональные узлы цифровой автоматики. – М.: Радио и связь, 1985. – 210 с.
14. Хоровиц П., Хилл У. Искусство схемотехники: В 3 – х томах. – М.: Мир, 1993.- 371 с.
15. Майоров С. А., Новиков Г. И. Принципы организации цифровых машин. – Л.: Машиностроение. 1974. – 432 с.
16. Карцев М. А., Брик В. А. Вычислительные системы и синхронная арифметика. – М.: радио и связь, 1981. – 360 с.
17. Уэйкерли Д. Проектирование цифровых устройств. В 2 – х томах. – М.: Постмаркер, 2002. – 544 с (1 т.); 528 с (2 т.).
18. Майоров С. А., Новиков Г. И. Структура электронных вычислительных машин. – Л.: Машиностроение, 1979. - 384 с.
19. Цифровые ЭВМ: Практикум / К. Г. Самофалов, В. И. Корнейчук, В. П. Тарасенко, В. И. Жабин; Под общей ред. К. Г. Самофалова - К.: Вища шк., 1990. – 215 с.

СОДЕРЖАНИЕ

ПЕРЕЧЕНЬ ОСНОВНЫХ ОБОЗНАЧЕНИЙ.....	3
ЗАДАНИЕ 1. РАЗРАБОТКА СХЕМОТЕХНИКИ И СИНТЕЗ КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ СХЕМ (КЛС).....	4
ЗАДАНИЕ 2. РАСЧЕТ ПАРАМЕТРОВ СИНХРОНИЗАЦИИ ОПЕРАЦИОННОГО АВТОМАТА (ОА) И УПРАВЛЯЮЩЕГО АВТОМАТА (УА) БЛОКА ОБРАБОТКИ ДАННЫХ.....	6
ПРИЛОЖЕНИЕ 1.....	8
1. РАЗРАБОТКА СХЕМОТЕХНИКИ КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ СХЕМ (КЛС) В ЗАДАННОМ БАЗИСЕ.....	8
1.1. Синтез КЛС в базисе 2ИЛИ – НЕ.....	8
1.2. Синтез КЛС в базисе 2И – НЕ.....	11
1.3. Синтез КЛС в базисе 2И – 2ИЛИ – НЕ.....	13
1.4. Схемы свертки (СХСВ) по модулю три (mod3).....	15
1.4.а. Параллельная СХСВ с позиционным кодом представления остатка (СХСВ1).....	15
1.4.б. Параллельная пирамидальная СХСВ с унитарным кодом представления остатка (СХСВ2).....	16
1.4.в. Последовательная схема свертки с позиционным кодом представления остатка (СХСВ3).....	17
1.4.г. Последовательная схема свертки по mod3 с унитарным кодированием остатка (СХСВ4).....	18
1.4.д. Последовательная схема свертки с унитарным кодом остатка с учетом весовых коэффициентов (по mod3) разрядов двоичного кода (СХСВ5).....	19
1.4.ж. Последовательная схема свертки по mod3 с позиционным кодом остатка с учетом весовых коэффициентов разрядов двоичного кода (СХСВ6).....	20
1.5. Одноразрядный сумматор (SM).....	21
1.6. Одноразрядный вычитатель (SUB)	23
1.7. Одноразрядный полусумматор (HS).....	24
1.8. Одноразрядный полувычитатель (HSUB).....	25
1.9. Инкрементирование и декрементирование двоичного кода	26
1.10. КЛС суммирующего – вычитающего устройства прямых кодов (СВУ ПК).....	27
1.11. Схемы переполнения сумматоров	28
1.12. Преобразователь кодов (ПРК).....	31
1.13. Схемы контроля по модулю три операции суммирования беззнаковых чисел.....	33
1.14. Схемы контроля по модулю три операции прямого вычитания.....	33
1.15. Контроль по модулю три сумматора СВУ дополнительного кода (ДК).....	33
1.16. Контроль по модулю три сумматора СВУ обратного кода (ОК).....	37
1.17. Контроль по модулю три сумматора СВУ МДК (модифицированного ДК).....	39
1.18. Контроль по модулю три сумматора СВУ чисел с	

“положительным нулем” (СВУ ПН).....	42
1.19. Контроль работы сумматора с “отрицательным нулем” (СВУ ОН).....	45
ПРИЛОЖЕНИЕ 2	49
2.СХЕМОТЕХНИКА, ДИНАМИКА РАБОТЫ И РАСЧЕТ ДЛИТЕЛЬНОСТИ ТАКТА ОПЕРАЦИОННОГО (ОА) И УПРАВЛЯЮЩЕГО (УА) АВТОМАТОВ БЛОКОВ ОБРАБОТКИ ДАННЫХ	49
2.1. Особенности проектирования схем операционных и управляющих автоматов на триггерах К155ТМ2	50
2.2. Разработка ОА и УА блока обработки данных (рис. 2.1) на основе триггеров К155ТВ1.....	73
2.3. Динамика работы и разработка ОА и УА на основе ИС К155ИР1.....	84
2.4. Динамика работы и разработка ОА на основе микросхемы К155ИЕ7.....	91
2.5. Динамика работы и разработка ОА на основе прозрачных триггеров К155ТМ5.....	100
ОБЗОР ЛИТЕРАТУРНЫХ ИСТОЧНИКОВ	106
СПИСОК ЛИТЕРАТУРЫ	107

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

и задания к самостоятельной работе студентов по курсу “Компьютерная
схемотехника” для подготовки специалистов и магистров по направлению
“Компьютерная инженерия”

Составители:

Владимир Васильевич Лапко,
Юрий Владимирович Губарь

Віддрукована на різнографі
ТОВ фірма «Друк-Інфо»
Ум. друк. арк 7,0. Обл.-вид. арк. 6,51
Тираж 300 прим.. Замовлення № 2037
83000, м.Донецьк, вул. Артема, 58, 113
тел. 335-64-55

